

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-154710

(43)Date of publication of application : 08.06.1999

(51)Int.Cl.

H01L 21/8238
H01L 27/092
H01L 21/265
H01L 29/78

(21)Application number : 09-353157

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 22.12.1997

(72)Inventor : HIROKI AKIRA
ODANAKA SHINJI

(30)Priority

Priority number : 09 508

Priority date : 07.01.1997

Priority country : JP

09250422

16.09.1997

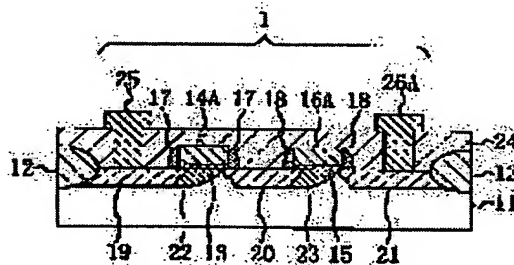
JP

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To facilitate increase in operating speed and save power consumption at low cost in a subquarter micron range.

SOLUTION: Two MOS transistors, in each of which first and second gate electrodes 14A and 16A are arranged in parallel with each other, and a first n-type drain diffusion layer 19 on the first gate electrode 14A side is connected in series with a second n-type source diffusion layer 20 on the second gate electrode 16A side, are formed on a semiconductor substrate 11 composed of p-type silicon. In the semiconductor substrate 11, a first p-type diffusion layer 22 for controlling high-concentration threshold is formed in the source-side section of a channel region below the first gate electrode 14A on the first n-type source diffusion layer 19 side and, at the same time, a second p-type diffusion layer 23 for controlling high-concentration threshold is formed below the second gate electrode 16A on the second n-type source diffusion layer 20 side.



LEGAL STATUS

[Date of request for examination] 22.12.1997

[Date of sending the examiner's decision of rejection] 06.11.2001

[Kind of final disposal of application other than

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-154710

(43)公開日 平成11年(1999)6月8日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 21/8238
27/092
21/265
29/78

H 0 1 L 27/08
21/265
29/78

3 2 1 C
V
3 0 1 D
3 0 1 H

審査請求 有 請求項の数16 O L (全 29 頁)

(21)出願番号 特願平9-353157

(22)出願日 平成9年(1997)12月22日

(31)優先権主張番号 特願平9-508

(32)優先日 平9(1997)1月7日

(33)優先権主張国 日本(JP)

(31)優先権主張番号 特願平9-250422

(32)優先日 平9(1997)9月16日

(33)優先権主張国 日本(JP)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 広木 彰

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 小田中 紳二

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

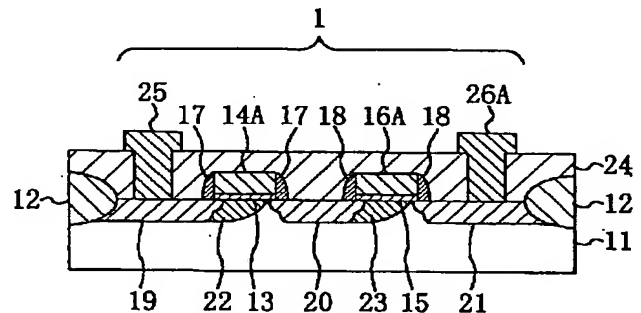
(74)代理人 弁理士 前田 弘 (外2名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 サブクォータミクロン領域で動作の高速化及び低消費電力化を低コストで容易に実現できるようにする。

【解決手段】 p型シリコンからなる半導体基板11の上には、第1のゲート電極14Aと第2のゲート電極16Aとが互いに平行に配設された2つのMOSトランジスタが形成され、第1のゲート電極14A側の第1のn型ドレイン拡散層20と第2のゲート電極16A側の第2のn型ソース拡散層20とが直列に接続されている。半導体基板11における第1のゲート電極14Aの第1のn型ソース拡散層19側の下方であるチャネル領域のソース側部分には、高濃度のしきい値制御用の第1のp型拡散層22が形成されると共に、第2のゲート電極16Aの第2のn型ソース拡散層20側の下方には、高濃度のしきい値制御用の第2のp型拡散層23が形成されている。



【 特許請求の範囲】

【 請求項1 】 一の第1 導電型のMI ストランジスタのソース領域と他の第1 導電型のMI ストランジスタのドレイン領域とが直列に接続された複数のMI ストランジスタを同一の半導体基板上に備え、

前記複数のMI ストランジスタは、

前記半導体基板の上に形成され、互いに平行に設けられたゲート 電極と、

前記半導体基板における前記各ゲート 電極の下側に形成され、キャリアが流れる方向が同一であるチャンネル領域とを有し、

前記各チャンネル領域における前記ソース領域側の第2 導電型の不純物濃度は、前記各チャンネル領域における前記ドレイン領域側の第2 導電型の不純物濃度よりも大きいことを特徴とする半導体装置。

【 請求項2 】 互いのソース領域及びドレイン領域が並列に接続された2 つのp 型MOSトランジスタと、一方のソース領域及び他方のドレイン領域が直列に接続された2 つのn 型MOSトランジスタとからなるNAND回路を一の半導体基板上に備え、

前記2 つのn 型MOSトランジスタは、

前記半導体基板の上に形成され、互いに平行に設けられたゲート 電極と、

前記半導体基板における前記各ゲート 電極の下側に形成され、キャリアが流れる方向が同一であるチャンネル領域とを有し、

前記各チャンネル領域における前記ソース領域側のp 型の不純物濃度は、前記各チャンネル領域における前記ドレイン領域側のp 型の不純物濃度よりも大きいことを特徴とする半導体装置。

【 請求項3 】 一方のソース領域及び他方のドレイン領域が直列に接続された2 つのp 型MOSトランジスタと、互いのソース領域及びドレイン領域が並列に接続された2 つのn 型MOSトランジスタとからなるNOR回路を一の半導体基板上に備え、

前記2 つのp 型MOSトランジスタは、

前記半導体基板の上に形成され、互いに平行に設けられたゲート 電極と、

前記半導体基板における前記各ゲート 電極の下側に形成され、キャリアが流れる方向が同一であるチャンネル領域とを有し、

前記各チャンネル領域における前記ソース領域側のn 型の不純物濃度は、前記各チャンネル領域における前記ドレイン領域側のn 型の不純物濃度よりも大きいことを特徴とする半導体装置。

【 請求項4 】 一方のソース領域及び他方のドレイン領域が直列に接続された複数の第1 導電型のMOSトランジスタを含む複合論理回路を一の半導体基板上に備え、前記複数の第1 導電型のMOSトランジスタは、

前記半導体基板の上に形成され、互いに平行に設けられ

たゲート 電極と、

前記半導体基板における前記各ゲート 電極の下側に形成され、キャリアが流れる方向が同一であるチャンネル領域とを有し、

前記各チャンネル領域における前記ソース領域側の第2 導電型の不純物濃度は、前記各チャンネル領域における前記ドレイン領域側の第2 導電型の不純物濃度よりも大きいことを特徴とする半導体装置。

【 請求項5 】 一の第1 導電型のMI ストランジスタのソース領域と他の第1 導電型のMI ストランジスタのドレイン領域とが直列に接続されていると共に、一の第2 導電型のMI ストランジスタのソース領域と他の第2 導電型のMI ストランジスタのドレイン領域とが直列に接続された複数のMI ストランジスタを同一の半導体基板上に備え、

前記第1 導電型のMI ストランジスタは、

前記半導体基板の上に形成され、互いに平行に設けられたゲート 電極と、

前記半導体基板における前記各ゲート 電極の下側に形成され、キャリアが流れる方向が同一である第1 導電型のチャンネル領域とを有し、

前記各第1 導電型のチャンネル領域における前記ソース領域側の第2 導電型の不純物濃度は、前記各第1 導電型のチャンネル領域における前記ドレイン領域側の第2 導電型の不純物濃度よりも大きく、

前記第2 導電型のMI ストランジスタは、

前記半導体基板の上に形成され、互いに平行に設けられたゲート 電極と、

前記半導体基板における前記各ゲート 電極の下側に形成され、キャリアが流れる方向が同一である第2 導電型のチャンネル領域とを有し、

前記各第2 導電型のチャンネル領域における前記ソース領域側の第1 導電型の不純物濃度は、前記各第2 導電型のチャンネル領域における前記ドレイン領域側の第1 導電型の不純物濃度よりも大きいことを特徴とする半導体装置。

【 請求項6 】 前記第1 導電型はp 型であり、前記第2 導電型はn 型であり、前記複数のMI ストランジスタはそれぞれMOSトランジスタであって、

複数の前記MOSトランジスタのうちの第1 のp 型MOSトランジスタと第1 のn 型MOSトランジスタとが接続されてなるインバータ回路と、

前記第1 のp 型MOSトランジスタのソース電極と電源電圧端子との間に直列に接続され、クロック信号の制御を受ける第2 のp 型MOSトランジスタと、前記第1 のn 型MOSトランジスタのソース電極と接地電圧端子との間に直列に接続され、クロック相補信号の制御を受ける第2 のn 型MOSトランジスタとから構成されるクロックインバータ回路とを備えていることを特徴とする請求項5 に記載の半導体装置。

【請求項7】 フリップフロップ回路を備えた半導体装置であって、
前記フリップフロップ回路は前記クロックインバータ回路を含むことを特徴とする請求項6に記載の半導体装置。

【請求項8】 一の半導体基板上に形成され、データを保持するメモリセルが多数配列されてなるメモリセルアレイ部と該メモリセルアレイ部に対して入出力を制御する周辺回路部とからなるDRAM回路を備えた半導体装置であって、
前記周辺回路部は、
互いのソース領域及びドレイン領域が並列に接続された複数のp型MOSトランジスタと、一方のソース領域及び他方のドレイン領域が直列に接続された複数のn型MOSトランジスタとからなるNAND回路と、
一方のソース領域及び他方のドレイン領域が直列に接続された複数のp型MOSトランジスタと、互いのソース領域及びドレイン領域が並列に接続された複数のn型MOSトランジスタとからなるNOR回路とを含むデコーダ回路を有しており、
前記NAND回路における前記複数のn型MOSトランジスタは、
前記半導体基板の上に形成され、互いに平行に設けられたゲート電極と、
前記半導体基板における前記各ゲート電極の下側に形成され、キャリアが流れる方向が同一であるn型チャネル領域とを有し、
前記各n型チャネル領域における前記ソース領域側のp型の不純物濃度は、前記各n型チャネル領域における前記ドレイン領域側のp型の不純物濃度よりも大きく、
前記NOR回路における前記複数のp型MOSトランジスタは、
前記半導体基板の上に形成され、互いに平行に設けられたゲート電極と、
前記半導体基板における前記各ゲート電極の下側に形成され、キャリアが流れる方向が同一であるp型チャネル領域とを有し、
前記各p型チャネル領域における前記ソース領域側のn型の不純物濃度は、前記各p型チャネル領域における前記ドレイン領域側のn型の不純物濃度よりも大きいことを特徴とする半導体装置。

【請求項9】 互いに平行に設けられたゲート電極並びに該ゲート電極のゲート長方向側にそれぞれ形成されたソース領域及びドレイン領域を有する複数の第1導電型のMI Sトランジスタを同一の半導体基板上に備え、
前記複数の第1導電型のMI Sトランジスタのうちの一のMI Sトランジスタにおける前記ゲート電極の下側には、キャリアが流れる方向が一方となるチャネル領域が形成され、
前記チャネル領域におけるソース領域側の第2導電型の

不純物濃度は、前記チャネル領域におけるドレイン領域側の第2導電型の不純物濃度よりも大きいことを特徴とする半導体装置。

【請求項10】 前記複数のMI Sトランジスタのうちの他のMI Sトランジスタのチャネル領域は、ソース領域側の第2導電型の不純物濃度が前記チャネル領域におけるドレイン領域側の第2導電型の不純物濃度よりも大きいことを特徴とする請求項9に記載の半導体装置。

【請求項11】 互いのドレイン領域が接続された第1のp型MOSトランジスタと第1のn型MOSトランジスタとからなるインバータ回路と、
前記インバータ回路からの出力を受け、互いのソース領域及びドレイン領域が並列に接続された第2のp型MOSトランジスタと第2のn型MOSトランジスタとからなる転送ゲート回路とから構成される伝達ゲート回路を一の半導体基板上に備え、
前記第1のp型MOSトランジスタのゲート電極及び前記第2のp型MOSトランジスタのゲート電極は互いに平行に設けられていると共に、前記第1のn型MOSトランジスタのゲート電極及び前記第2のn型MOSトランジスタのゲート電極は互いに平行に設けられており、
前記第1のp型MOSトランジスタにおける前記ゲート電極の下側には、キャリアが流れる方向が一方となるp型チャネル領域が形成され、該p型チャネル領域におけるソース領域側のn型の不純物濃度は、該p型チャネル領域におけるドレイン領域側のn型の不純物濃度よりも大きく、
前記第1のn型MOSトランジスタにおける前記ゲート電極の下側には、キャリアが流れる方向が一方となるn型チャネル領域が形成され、該n型チャネル領域におけるソース領域側のp型の不純物濃度は、該n型チャネル領域におけるドレイン領域側のp型の不純物濃度よりも大きいことを特徴とする半導体装置。

【請求項12】 前記第2のp型MOSトランジスタにおけるp型チャネル領域は、ソース領域側のn型の不純物濃度が前記p型チャネル領域におけるドレイン領域側のn型の不純物濃度よりも大きく、
前記第2のn型MOSトランジスタにおけるn型チャネル領域は、ソース領域側のp型の不純物濃度が前記n型チャネル領域におけるドレイン領域側のp型の不純物濃度よりも大きいことを特徴とする請求項11に記載の半導体装置。

【請求項13】 第1のp型MOSトランジスタと第1のn型MOSトランジスタとが接続されてなり、入力されたクロック信号を反転させたクロック相補信号を生成して出力する第1のインバータ回路と、
第2のp型MOSトランジスタと第2のn型MOSトランジスタとが接続されてなり、入力信号を反転させた反転信号を出力する第2のインバータ回路と、
第3のp型MOSトランジスタと第3のn型MOSトラン

ンジスタとが並列に接続されてなり、前記クロック信号及びクロック相補信号の制御を受け、前記反転信号を出力する転送ゲート回路とから構成されるクロックインバータ回路とを一の半導体基板上に備え、

前記第1のp型MOSトランジスタのゲート電極及び前記第2のp型MOSトランジスタのゲート電極は互いに平行に設けられていると共に、前記第1のn型MOSトランジスタのゲート電極及び前記第2のn型MOSトランジスタのゲート電極は互いに平行に設けられており、前記第1のp型MOSトランジスタにおける前記ゲート電極の下側には、キャリアが流れる方向が一方向となるp型チャネル領域が形成され、該p型チャネル領域におけるソース領域側のn型の不純物濃度は、該p型チャネル領域におけるドレイン領域側のn型の不純物濃度よりも大きく、

前記第1のn型MOSトランジスタにおける前記ゲート電極の下側には、キャリアが流れる方向が一方向となるn型チャネル領域が形成され、該n型チャネル領域におけるソース領域側のp型の不純物濃度は、該n型チャネル領域におけるドレイン領域側のp型の不純物濃度よりも大きいことを特徴とする半導体装置。

【請求項14】 前記第2のp型MOSトランジスタにおけるp型チャネル領域は、ソース領域側のn型の不純物濃度が前記p型チャネル領域におけるドレイン領域側のn型の不純物濃度よりも大きく、

前記第2のn型MOSトランジスタにおけるn型チャネル領域は、ソース領域側のp型の不純物濃度が前記n型チャネル領域におけるドレイン領域側のp型の不純物濃度よりも大きいことを特徴とする請求項13に記載の半導体装置。

【請求項15】 フリップフロップ回路を備えた半導体装置であって、前記フリップフロップ回路は前記クロックインバータ回路を含むことを特徴とする請求項13又は14に記載の半導体装置。

【請求項16】 第1導電型の半導体基板の上に全面にわたってゲート絶縁膜と導電性膜とを順次堆積する工程と、

前記導電性膜及びゲート絶縁膜に対して選択的にエッチングを行なって前記半導体基板の上面を露出させることにより、前記半導体基板の上に、前記ゲート絶縁膜を介在させた前記導電性膜からなり、互いに平行となる複数のゲート電極を形成する工程と、

前記複数のゲート電極をマスクとして、前記半導体基板に、第1導電型の不純物イオンを基板面に垂直で且つゲート幅方向に平行な平面に対してゲート長方向の一方側に7度以上の傾きを持たせて注入することにより、前記半導体基板における前記各ゲート電極の下側の領域に、前記ゲート長方向の一方側から他方側に向かうに連れて第1導電型の不純物濃度が徐々に小さくなるようにしき

い値制御用拡散層を形成する工程と、

前記複数のゲート電極をマスクとして、前記半導体基板に第2導電型の不純物イオンを注入することにより、前記半導体基板におけるゲート長方向側にソース・ドレイン領域をそれぞれ形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MISトランジスタからなる半導体装置、特に、CMOS論理回路及びDRAM回路の微細化を図りつつ、高速化、高信頼性及び低消費電力化を実現する半導体装置に関する。

【0002】

【従来の技術】VLSIのさらなる高集積化を実現するために、VLSIに用いられるMOS型半導体装置のサイズはますます微細化され、現在、半導体装置の最小寸法はハーフミクロン領域、さらにはサブハーフミクロン領域にまで達している。また、研究レベルでは、クォータミクロン領域及びサブクォータミクロン領域の半導体装置が試作されている。このような半導体装置の微細化に伴って、半導体装置の電気特性が短チャネル効果やホットキャリア効果によって劣化するということが、半導体装置の信頼性の上で深刻な問題となってきた。

【0003】また、将来のマルチメディア社会におけるVLSI技術においては、高集積化と同時に、低電圧動作時においても、高速化と低消費電力化との両立を図ることが重要な課題となっている。

【0004】近年、ホットキャリア劣化や短チャネル効果に対する耐性を向上させ、しかも、駆動能力を向上させるために、非対称なチャネル不純物分布を有するパワー素子としてのMOS型半導体装置が提案されている。例えば、1991年シンポジウム オン ブイエルエスアイ テクノロジー(1991 Symposium on VLSI Technology) pp113-114には、T. Matsuki等によってLDC構造が提案されている。

【0005】以下、従来のLDC構造を有するMOS型半導体装置について図面を参照しながら説明する。

【0006】図21は従来のLDC構造を有するMOS型半導体装置の断面構成を示している。図21に示すように、p型の半導体基板201の上には、ゲート酸化膜202を介在させたゲート電極203が形成され、半導体基板201には、ゲート長方向側の各領域に高濃度n型ソース拡散層204と高濃度n型ドレイン拡散層205とがそれぞれ形成され、半導体基板201における高濃度n型ソース拡散層204の下方及びゲート電極203の高濃度n型ソース拡散層204側の下方には、しきい値制御用の高濃度p型拡散層206が形成されている。

【0007】このように、本装置は、高濃度n型ソース拡散層204の下方及びゲート電極203の高濃度n型

ソース拡散層204側の下方にしきい値制御用の高濃度p型拡散層206が形成され、さらに、該高濃度p型拡散層206は、ゲート電極203の下方において、高濃度n型ソース拡散層204側から高濃度n型ドレイン拡散層205側に向けて徐々にp型の不純物濃度が減少するように形成されているため、半導体基板201のゲート電極203の下方における、高濃度n型ソース拡散層204側の領域において短チャネル効果に対する耐性が向上すると共に、高濃度n型ドレイン拡散層205側の領域において高電界が低減されるので、ホットキャリアの発生が抑制される。これにより、従来の低濃度LDD構造が不要となり、且つ、高駆動能力が達成される。

【0008】図22は従来のLDC構造を有する複数のMOSトランジスタを用いて構成された半導体装置の断面構成を示している。図22に示すように、p型の半導体基板211の上には、LOCOS膜等からなる素子分離領域212が形成され、該素子分離領域212に囲まれた素子形成領域には、第1のゲート酸化膜213を介在させた第1のゲート電極214及び第2のゲート酸化膜215を介在させた第2のゲート電極216が形成されている。第1のゲート電極214のゲート長方向側の各側壁には第1のゲート側壁217がそれぞれ形成され、第2のゲート電極216のゲート長方向側の各側壁には第2のゲート側壁218がそれぞれ形成されている。

【0009】半導体基板211における第1のゲート電極214に対する第2のゲート電極216の反対側の領域には、第1のn型ソース拡散層219が形成され、第1のゲート電極214と第2のゲート電極216との間の領域には、第1のn型ドレイン拡散層220と共有される第2のソース拡散層220が形成され、第2のゲート電極216に対する第1のゲート電極214の反対側の領域には、第2のn型ドレイン拡散層221が形成されている。

【0010】半導体基板211における第1のn型ソース拡散層219の下方及び第1のゲート電極214の第1のn型ソース拡散層219側の下方には、しきい値制御用の第1のp型拡散層222が形成され、且つ、第2のn型ソース拡散層220の下方及び第2のゲート電極216の第2のn型ソース拡散層220側の下方には、しきい値制御用の第2のp型拡散層223が形成されている。

【0011】半導体基板211の上には、第1のn型ソース拡散層219及び第2のドレイン拡散層221を露出する各コンタクトホールを有する層間絶縁膜224が形成され、第1のn型ソース拡散層219側のコンタクトホールにはアルミニウムが充填されてなる第1の配線225が形成され、第2のn型ドレイン拡散層221側のコンタクトホールにはアルミニウムが充填されてなる第2の配線226が形成されている。

【0012】

【発明が解決しようとする課題】しかしながら、前記従来のMOSトランジスタを用いた半導体装置は、n型ソース拡散層の下方にp型拡散層が存在するため、ソース・基板間の寄生容量が増大する。これにより、NAND型のCMOS回路等のようにソース・基板間に電圧が印加される論理回路の場合には、MOS型半導体装置の速度は飽和電流値の逆数と負荷容量との積に比例するため、素子の速度が低下してしまう。

【0013】また、MOS型半導体装置の消費電力は負荷容量と印加電圧の2乗との積に比例するため、回路の消費電力が増大するという問題を有している。

【0014】本発明は、前記従来の問題を解決し、論理回路において、デザインルールがサブクォータミクロン領域以下であっても、動作の高速化及び低消費電力化を低コストで容易に実現できるようにすることを目的とする。

【0015】

【課題を解決するための手段】前記の目的を達成するため、本発明は、複数のMIストランジスタを有する半導体装置を対象とし、半導体基板における、互いに平行に設けられた各ゲート電極の下側に形成されるしきい値制御用の拡散領域を、キャリアの流れる方向に一致するように濃度勾配をつけるものである。

【0016】本発明に係る第1の半導体装置は、一の第1導電型のMIストランジスタのソース領域と他の第1導電型のMIストランジスタのドレイン領域とが直列に接続された複数のMIストランジスタを同一の半導体基板上に備え、複数のMIストランジスタは、半導体基板の上に形成され、互いに平行に設けられたゲート電極と、半導体基板における各ゲート電極の下側に形成され、キャリアが流れる方向が同一であるチャネル領域とを有し、各チャネル領域におけるソース領域側の第2導電型の不純物濃度は、各チャネル領域におけるドレイン領域側の第2導電型の不純物濃度よりも大きい。

【0017】第1の半導体装置によると、一の半導体基板に形成された複数の第1導電型のMIストランジスタは、複数のMIストランジスタのうちの一のMIストランジスタのソース領域と他のMIストランジスタのドレイン領域とが直列に接続され、且つ、各ゲート電極の下側に形成されるチャネル領域はキャリアが流れる方向が同一となるように形成されている。さらに、各チャネル領域におけるソース領域側の第2導電型の不純物濃度は、各チャネル領域におけるドレイン領域側の第2導電型の不純物濃度よりも大きい。そのため、直列に接続された複数のMIストランジスタに印加される各電圧が電源電圧よりも小さくなるにもかかわらず、チャネル領域におけるソース領域側部分の電位が高くなるので、直列に接続されたMIストランジスタの駆動能力が低下することがない。また、直列に接続された第1導電型のMIストラ

ンジスタの各ゲート電極が互いに平行に設けられているため、高集積化が容易となると共に、これらのMISトランジスタのチャンネル領域におけるソース領域側部分に第2導電型の高濃度の不純物領域を形成する際に、該不純物の注入工程を一度で行なうことができる。

【0018】本発明に係る第2の半導体装置は、互いのソース領域及びドレイン領域が並列に接続された2つのp型MOSトランジスタと、一方のソース領域及び他方のドレイン領域が直列に接続された2つのn型MOSトランジスタとからなるNAND回路を一の半導体基板上に備え、2つのn型MOSトランジスタは、半導体基板の上に形成され、互いに平行に設けられたゲート電極と、半導体基板における各ゲート電極の下側に形成され、キャリアが流れる方向が同一であるチャンネル領域とを有し、各チャンネル領域におけるソース領域側のp型の不純物濃度は、各チャンネル領域におけるドレイン領域側のp型の不純物濃度よりも大きい。

【0019】第2の半導体装置によると、NAND回路を構成する4つのMOSトランジスタのうちの一方のソース領域と他方のドレイン領域とが直列に接続された2つのn型MOSトランジスタは、キャリアが流れる方向が同一であるチャンネル領域を有し、各チャンネル領域におけるソース領域側の第1導電型の不純物濃度が、各チャンネル領域におけるドレイン領域側の第1導電型の不純物濃度よりも大きい。直列に接続された2つのn型MOSトランジスタに印加される各電圧が電源電圧よりも小さくなるにもかかわらず、チャンネル領域におけるソース領域側部分の電位が高くなるので、直列に接続された2つのn型MOSトランジスタの駆動能力が低下することがない。また、直列に接続された2つのn型MOSトランジスタの各ゲート電極が互いに平行に設けられているため、高集積化が容易となると共に、これら2つのn型MOSトランジスタのチャンネル領域におけるソース領域側部分にp型の高濃度の不純物領域を形成する際に、該不純物の注入工程を一度で行なうことができる。

【0020】本発明に係る第3の半導体装置は、一方のソース領域及び他方のドレイン領域が直列に接続された2つのp型MOSトランジスタと、互いのソース領域及びドレイン領域が並列に接続された2つのn型MOSトランジスタとからなるNOR回路を一の半導体基板上に備え、2つのp型MOSトランジスタは、半導体基板の上に形成され、互いに平行に設けられたゲート電極と、半導体基板における各ゲート電極の下側に形成され、キャリアが流れる方向が同一であるチャンネル領域とを有し、各チャンネル領域におけるソース領域側のn型の不純物濃度は、各チャンネル領域におけるドレイン領域側のn型の不純物濃度よりも大きい。

【0021】第3の半導体装置によると、NOR回路を構成する4つのMOSトランジスタのうちの一方のソース領域と他方のドレイン領域とが直列に接続された2つ

のp型MOSトランジスタは、キャリアが流れる方向が同一であるチャンネル領域を有し、各チャンネル領域におけるソース領域側のn型の不純物濃度が、各チャンネル領域におけるドレイン領域側のn型の不純物濃度よりも大きい。直列に接続された2つのp型MOSトランジスタに印加される各電圧が電源電圧よりも小さくなるにもかかわらず、チャンネル領域におけるソース領域側部分の電位が高くなるので、直列に接続された2つのp型MOSトランジスタの駆動能力が低下することがない。また、直列に接続された2つのp型MOSトランジスタの各ゲート電極が互いに平行に設けられているため、高集積化が容易となると共に、これら2つのp型MOSトランジスタのチャンネル領域におけるソース領域側部分にn型の高濃度の不純物領域を形成する際に、該不純物の注入工程を一度で行なうことができる。

【0022】本発明に係る第4の半導体装置は、一方のソース領域及び他方のドレイン領域が直列に接続された複数の第1導電型のMOSトランジスタを含む複合論理回路を一の半導体基板上に備え、複数の第1導電型のMOSトランジスタは、半導体基板の上に形成され、互いに平行に設けられたゲート電極と、半導体基板における各ゲート電極の下側に形成され、キャリアが流れる方向が同一であるチャンネル領域とを有し、各チャンネル領域におけるソース領域側の第2導電型の不純物濃度は、各チャンネル領域におけるドレイン領域側の第2導電型の不純物濃度よりも大きい。

【0023】第4の半導体装置によると、直列に接続された複数の第1導電型のMOSトランジスタを含む複合論理回路は、ゲート電極下に形成されるチャンネル領域はキャリアが流れる方向が同一であり、且つ、各チャンネル領域におけるソース領域側の第2導電型の不純物濃度は、各チャンネル領域におけるドレイン領域側の第2導電型の不純物濃度よりも大きい。直列に接続された複数の第1導電型のMOSトランジスタに印加される各電圧が電源電圧よりも小さくなるにもかかわらず、チャンネル領域におけるソース領域側部分の電位が高くなるので、直列に接続された複数の第1導電型のMOSトランジスタの駆動能力が低下することがない。また、直列に接続された複数の第1導電型のMOSトランジスタの各ゲート電極が互いに平行に設けられているため、高集積化が容易となると共に、これら複数の第1導電型のMOSトランジスタのチャンネル領域におけるソース領域側部分に第2導電型の高濃度の不純物領域を形成する際に、該不純物の注入工程を一度で行なうことができる。

【0024】本発明に係る第5の半導体装置は、一の第1導電型のMISトランジスタのソース領域と他の第1導電型のMISトランジスタのドレイン領域とが直列に接続されていると共に、一の第2導電型のMISトランジスタのソース領域と他の第2導電型のMISトランジスタのドレイン領域とが直列に接続された複数のMIS

トランジスタを同一の半導体基板上に備え、第1導電型のMI Sトランジスタは、半導体基板の上に形成され、互いに平行に設けられたゲート電極と、半導体基板における各ゲート電極の下側に形成され、キャリアが流れる方向が同一である第1導電型のチャネル領域とを有し、各第1導電型のチャネル領域におけるソース領域側の第2導電型の不純物濃度は、各第1導電型のチャネル領域におけるドレイン領域側の第2導電型の不純物濃度よりも大きく、第2導電型のMI Sトランジスタは、半導体基板の上に形成され、互いに平行に設けられたゲート電極と、半導体基板における各ゲート電極の下側に形成され、キャリアが流れる方向が同一である第2導電型のチャネル領域とを有し、各第2導電型のチャネル領域におけるソース領域側の第1導電型の不純物濃度は、各第2導電型のチャネル領域におけるドレイン領域側の第1導電型の不純物濃度よりも大きい。

【0025】第5の半導体装置によると、複数の第1導電型のMI Sトランジスタ及び複数の第2導電型のMI Sトランジスタが、それぞれ本発明の第1の半導体装置と同様の構成を有しているため、第1導電型のMI Sトランジスタ及び第2導電型のMI Sトランジスタはそれぞれ本発明の第1の半導体装置の作用及び効果を奏する。

【0026】第5の半導体装置において、第1導電型がp型であり、第2導電型がn型であり、複数のMI SトランジスタがそれぞれMOSTランジスタであって、複数のMOSTランジスタのうちの第1のp型MOSTランジスタと第1のn型MOSTランジスタとが接続されてなるインバータ回路と、第1のp型MOSTランジスタのソース電極と電源電圧端子との間に直列に接続され、クロック信号の制御を受ける第2のp型MOSTランジスタと、第1のn型MOSTランジスタのソース電極と接地電圧端子との間に直列に接続され、クロック相補信号の制御を受ける第2のn型MOSTランジスタとから構成されるクロックインバータ回路とを備えていることが好ましい。

【0027】第5の半導体装置において、フリップフロップ回路を備えた半導体装置が本発明のクロックインバータ回路を含むことが好ましい。

【0028】本発明に係る第6の半導体装置は、一の半導体基板上に形成され、データを保持するメモリセルが多数配列されてなるメモリセルアレイ部と該メモリセルアレイ部に対して入出力を制御する周辺回路部とからなるDRAM回路を備えた半導体装置であって、周辺回路部は、互いのソース領域及びドレイン領域が並列に接続された複数のp型MOSTランジスタと、一方のソース領域及び他方のドレイン領域が直列に接続された複数のn型MOSTランジスタとからなるNAND回路と、一方のソース領域及び他方のドレイン領域が直列に接続された複数のp型MOSTランジスタと、互いのソース領

域及びドレイン領域が並列に接続された複数のn型MOSTランジスタとからなるNOR回路とを含むデコー回路を有しており、NAND回路における複数のn型MOSTランジスタは、半導体基板の上に形成され、互いに平行に設けられたゲート電極と、半導体基板における各ゲート電極の下側に形成され、キャリアが流れる方向が同一であるn型チャネル領域とを有し、各n型チャネル領域におけるソース領域側のp型の不純物濃度は、n型チャネル領域におけるドレイン領域側のp型の不純物濃度よりも大きく、NOR回路における複数のp型MOSTランジスタは、半導体基板の上に形成され、互いに平行に設けられたゲート電極と、半導体基板における各ゲート電極の下側に形成され、キャリアが流れる方向が同一であるp型チャネル領域とを有し、各p型チャネル領域におけるソース領域側のn型の不純物濃度は、各p型チャネル領域におけるドレイン領域側のn型の不純物濃度よりも大きい。

【0029】第6の半導体装置によると、DRAM回路の周辺回路部におけるデコーダ回路が、本発明の第1の半導体装置と同様の構成を有するNAND回路及びNOR回路を有しているため、NAND回路におけるn型MOSTランジスタ及びNOR回路におけるp型MOSTランジスタのそれぞれが本発明の第1の半導体装置の作用及び効果を奏する。

【0030】本発明に係る第7の半導体装置は、互いに平行に設けられたゲート電極並びに該ゲート電極のゲート長方向側にそれぞれ形成されたソース領域及びドレイン領域を有する複数の第1導電型のMI Sトランジスタを同一の半導体基板上に備え、複数の第1導電型のMI Sトランジスタのうちの一のMI Sトランジスタにおけるゲート電極の下側には、キャリアが流れる方向が一方となるチャネル領域が形成され、チャネル領域におけるソース領域側の第2導電型の不純物濃度は、チャネル領域におけるドレイン領域側の第2導電型の不純物濃度よりも大きい。

【0031】第7の半導体装置によると、互いに平行に設けられたゲート電極を有する複数のMI Sトランジスタのうちの一のMI Sトランジスタは、そのゲート電極の下側にキャリアが流れる方向が一方となるチャネル領域を有し、且つ、チャネル領域におけるソース領域側の第2導電型の不純物濃度がチャネル領域におけるドレイン領域側の第2導電型の不純物濃度よりも大きい。ため、チャネル領域におけるソース領域側部分の電位が高くなるので、一のMI Sトランジスタの駆動能力が向上する。また、複数のMI Sトランジスタの各ゲート電極が互いに平行に設けられているため、高集積化が容易となると共に、チャネル領域におけるソース領域側部分に第2導電型の高濃度の不純物領域を形成する際に、該不純物の注入工程を一度で行なうことができる。

【0032】第7の半導体装置において、複数のMI S

13

トランジスタのうちの他のMISトランジスタのチャネル領域は、ソース領域側の第2導電型の不純物濃度がチャネル領域におけるドレイン領域側の第2導電型の不純物濃度よりも大きいことが好ましい。

【0033】本発明に係る第8の半導体装置は、互いのドレイン領域が接続された第1のp型MOSトランジスタと第1のn型MOSトランジスタとからなるインバータ回路と、インバータ回路からの出力を受け、互いのソース領域及びドレイン領域が並列に接続された第2のp型MOSトランジスタと第2のn型MOSトランジスタとからなる転送ゲート回路とから構成される伝達ゲート回路を一つの半導体基板上に備え、第1のp型MOSトランジスタのゲート電極及び第2のp型MOSトランジスタのゲート電極は互いに平行に設けられていると共に、第1のn型MOSトランジスタのゲート電極及び第2のn型MOSトランジスタのゲート電極は互いに平行に設けられており、第1のp型MOSトランジスタにおけるゲート電極の下側には、キャリアが流れる方向が一方向となるp型チャネル領域が形成され、該p型チャネル領域におけるソース領域側のn型の不純物濃度は、該p型チャネル領域におけるドレイン領域側のn型の不純物濃度よりも大きく、第1のn型MOSトランジスタにおけるゲート電極の下側には、キャリアが流れる方向が一方向となるn型チャネル領域が形成され、該n型チャネル領域におけるソース領域側のp型の不純物濃度は、該n型チャネル領域におけるドレイン領域側のp型の不純物濃度よりも大きい。

【0034】第8の半導体装置によると、インバータ回路における、第1のp型MOSトランジスタのゲート電極の下側には、キャリアが流れる方向が一方向となるp型チャネル領域が形成され、該p型チャネル領域におけるソース領域側のn型の不純物濃度が該p型チャネル領域におけるドレイン領域側のn型の不純物濃度よりも大きく、且つ、第1のn型MOSトランジスタのゲート電極の下側には、キャリアが流れる方向が一方向となるn型チャネル領域が形成され、該n型チャネル領域におけるソース領域側のp型の不純物濃度が該n型チャネル領域におけるドレイン領域側のp型の不純物濃度よりも大きいため、チャネル領域におけるソース領域側部分の電位が高くなるので、インバータ回路を構成する各MOSトランジスタの駆動能力がそれぞれ向上する。

【0035】また、第1及び第2のp型MOSトランジスタの各ゲート電極同士並びに、第1及び第2のn型MOSトランジスタの各ゲート電極同士はそれぞれが互いに平行に設けられているため、高集積化が容易となると共に、一の導電型のMOSトランジスタのチャネル領域におけるソース領域側部分に他の導電型の高濃度の不純物領域を形成する際に、該不純物の注入工程を一度で行なうことができる。

【0036】第8の半導体装置において、第2のp型M

14

OSトランジスタにおけるp型チャネル領域は、ソース領域側のn型の不純物濃度がp型チャネル領域におけるドレイン領域側のn型の不純物濃度よりも大きく、第2のn型MOSトランジスタにおけるn型チャネル領域は、ソース領域側のp型の不純物濃度がn型チャネル領域におけるドレイン領域側のp型の不純物濃度よりも大きいことが好ましい。

【0037】本発明に係る第9の半導体装置は、第1のp型MOSトランジスタと第1のn型MOSトランジスタとが接続されてなり、入力されたクロック信号を反転させたクロック相補信号を生成して出力する第1のインバータ回路と、第2のp型MOSトランジスタと第2のn型MOSトランジスタとが接続されてなり、入力信号を反転させた反転信号を出力する第2のインバータ回路と、第3のp型MOSトランジスタと第3のn型MOSトランジスタとが並列に接続されてなり、クロック信号及びクロック相補信号の制御を受け、反転信号を出力する転送ゲート回路とから構成されるクロックインバータ回路とを一つの半導体基板上に備え、第1のp型MOSトランジスタのゲート電極及び第2のp型MOSトランジスタのゲート電極は互いに平行に設けられていると共に、第1のn型MOSトランジスタのゲート電極及び第2のn型MOSトランジスタのゲート電極は互いに平行に設けられており、第1のp型MOSトランジスタにおけるゲート電極の下側には、キャリアが流れる方向が一方向となるp型チャネル領域が形成され、該p型チャネル領域におけるソース領域側のn型の不純物濃度は、該p型チャネル領域におけるドレイン領域側のn型の不純物濃度よりも大きく、第1のn型MOSトランジスタにおけるゲート電極の下側には、キャリアが流れる方向が一方向となるn型チャネル領域が形成され、該n型チャネル領域におけるソース領域側のp型の不純物濃度は、該n型チャネル領域におけるドレイン領域側のp型の不純物濃度よりも大きい。

【0038】第9の半導体装置によると、クロックインバータ回路における第1のp型MOSトランジスタ及び第2のp型MOSトランジスタ並びに第1のn型MOSトランジスタ及び第2のn型MOSトランジスタがそれぞれ本発明の第7の半導体装置と同様の構成を有しているため、第1及び第2のp型MOSトランジスタと第1及び第2のn型MOSトランジスタとは本発明の第7の半導体装置の作用及び効果を奏する。

【0039】第9の半導体装置において、第2のp型MOSトランジスタにおけるp型チャネル領域は、ソース領域側のn型の不純物濃度がp型チャネル領域におけるドレイン領域側のn型の不純物濃度よりも大きく、第2のn型MOSトランジスタにおけるn型チャネル領域は、ソース領域側のp型の不純物濃度がn型チャネル領域におけるドレイン領域側のp型の不純物濃度よりも大きいことが好ましい。

【0040】第9の半導体装置において、フリップフロップ回路を備えた半導体装置が本発明のクロックインバート回路を含むことが好ましい。

【0041】本発明に係る半導体装置の製造方法は、第1導電型の半導体基板の上に全面にわたってゲート絶縁膜と導電性膜とを順次堆積する工程と、導電性膜及びゲート絶縁膜に対して選択的にエッチングを行なって半導体基板の上面を露出させることにより、半導体基板の上に、ゲート絶縁膜を介在させた導電性膜からなり、互いに平行となる複数のゲート電極を形成する工程と、複数のゲート電極をマスクとして、半導体基板に、第1導電型の不純物イオンを基板面に垂直で且つゲート幅方向に平行な平面に対してゲート長方向の一方側に7度以上の傾きを持たせて注入することにより、半導体基板における各ゲート電極の下側の領域に、ゲート長方向の一方側から他方側に向かうに連れて第1導電型の不純物濃度が徐々に小さくなるようにしきい値制御用拡散層を形成する工程と、複数のゲート電極をマスクとして、半導体基板に第2導電型の不純物イオンを注入することにより、半導体基板におけるゲート長方向側にソース・ドレイン領域をそれぞれ形成する工程とを備えている。

【0042】本発明の半導体装置の製造方法によると、第1導電型の半導体基板の上に、互いに平行となる複数のゲート電極を形成した後、該複数のゲート電極をマスクとして、半導体基板に、第1導電型の不純物イオンを基板面に垂直で且つゲート幅方向に平行な平面に対してゲート長方向の一方側に7度以上の傾きを持たせて注入することによって、半導体基板における各ゲート電極の下側の領域に、ゲート長方向の一方側から他方側に向かうに連れて第1導電型の不純物濃度が徐々に小さくなるようにしきい値制御用拡散層を形成するため、第1導電型の不純物濃度が徐々に小さくなる方向にキャリアが流れる方向を取ると、面積が小さく且つ高駆動能力のトランジスタを一度のしきい値制御用拡散工程で行なうことができる。

【0043】

【発明の実施の形態】本願においては、半導体装置のチャネル領域におけるソース領域側から中央部までの領域をチャネル領域のソース側部分と呼び、チャネル領域におけるドレイン領域側から中央部までの領域をチャネル領域のドレイン側部分と呼ぶことにする。

【0044】本発明に係る半導体装置は、半導体基板におけるゲート電極の下側のチャネル領域に形成された不純物拡散層の不純物濃度がチャネル長方向に沿って変化している。すなわち、チャネル領域の不純物濃度がソース領域からドレイン領域に向かって徐々に減少するように分布している。このため、ソース領域とドレイン領域との間に電圧が印加された場合に、チャネル領域のソース側部分に形成される電界は、チャネル領域の不純物濃度がチャネル長方向に沿って均一に分布している場合に

比較して大きくなる。

【0045】デザインルールがサブクォータミクロンなる領域においては、チャネル領域のソース側部分の界が十分に大きくなるので、チャネル領域のソース側分ではキャリアが速度オーバーシュートを起こす。この速度オーバーシュートとは、キャリアが、格子散乱や純物散乱等による速度損失を起こす前に、電界から高いエネルギーを得ることにより非平衡な高エネルギー状態に達し、その結果、平衡状態のキャリア速度である飽和速度よりも高い速度で輸送されることをいう。

【0046】MOS型半導体装置において、飽和電流値はチャネル領域のソース側部分におけるキャリア速度とキャリア密度との積で決まる。従って、本発明においては、チャネル領域のソース側部分において速度オーバーシュートを引き起こすことにより、飽和電流値を従来の半導体装置よりも大きくすることができる。従来の半導体装置の場合は、チャネル領域のドレイン側部分でのみ速度オーバーシュートが生じており、飽和電流値が増加しない。

【0047】(第1の実施形態)以下、本発明に係る第1の実施形態について図面を参照しながら説明する。

【0048】図1は本発明の第1の実施形態に係る半導体装置であって、2入力NAND回路となる相補型MOS半導体装置の平面構成を示している。図1に示すように、p型シリコンからなる半導体基板に設けられたn型MOSTランジスタ形成領域1において、一方の入力端子となる第1のゲート電極14Aと他方の入力端子となる第2のゲート電極16Aとが互いに平行に配置され、n型MOSTランジスタ形成領域1における、第1のゲート電極14Aに対する第2のゲート電極16Aの反対側の領域には、第1のn型ソース拡散層19が形成され、第1のゲート電極14Aと第2のゲート電極16Aとの間の領域には、第1のn型ドレイン拡散層20と共有される第2のn型ソース拡散層20が形成され、第2のゲート電極16Aに対する第1のゲート電極14Aの反対側の領域には、第2のn型ドレイン拡散層21が形成されている。従って、2つのn型MOSTランジスタは、第1のn型ドレイン拡散層20と第2のn型ソース拡散層20とが共有されて、直列に接続されている。第1のn型ソース拡散層19の上にはアルミニウムからなる第1の配線25が形成されて接地電位 V_{ss} が印加されると共に、第2のn型ドレイン拡散層21の上にはアルミニウムからなり、回路の演算結果を出力する第2の配線26Aが形成されている。

【0049】p型MOSTランジスタ形成領域2において、一方の入力端子となる第3のゲート電極14Bと他方の入力端子となる第4のゲート電極16Bとが互いに平行に形成され、p型MOSTランジスタ形成領域2における第3のゲート電極14Bに対する第4のゲート電極16Bの反対側の領域には、第1のp型ドレイン拡散

層37が形成され、第3のゲート電極14Bと第4のゲート電極16Bとの間の領域には、第1のp型ソース拡散層38と共有される第2のp型ソース拡散層38が形成され、第4のゲート電極16Bに対する第3のゲート電極14Bの反対側の領域には、第2のp型ドレイン拡散層39が形成されている。第1のp型ドレイン拡散層37及び第2のp型ドレイン拡散層39の上には、それぞれアルミニウムからなる第3の配線26B及び第4の配線26Cが形成され、第2の配線26Aと接続されると共に、第1及び第2のp型ソース拡散層38の上にはアルミニウムからなる第5の配線43が形成されて電源電位V_αが印加される。これにより、2つのp型MOSトランジスタは並列に接続されていることが分かる。

【0050】図2は図1のI-I線における断面構成を示し、図3は図1のII-II線における断面構成を示している。

【0051】図2及び図3において、図1に示した構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0052】まず、図2に示すように、p型シリコンからなる半導体基板11の上には、LOCOS膜等からなる素子分離領域12が形成され、該素子分離領域12に囲まれたn型MOSトランジスタ形成領域1には、第1のゲート絶縁膜13を介在させた第1のゲート電極14A及び第2のゲート絶縁膜15を介在させた第2のゲート電極16Aが形成されている。第1のゲート電極14Aのゲート長方向側の各側壁には第1のゲート側壁17がそれぞれ形成され、第2のゲート電極16Aのゲート長方向側の各側壁には第2のゲート側壁18がそれぞれ形成されている。

【0053】半導体基板11における第1のゲート電極14Aの第1のn型ソース拡散層19側の下方、すなわち、第1のチャンネル領域のソース側部分には、しきい値制御用の第1のp型拡散層22が形成されると共に、第2のゲート電極16Aの第2のn型ソース拡散層20側の下方には、しきい値制御用の第2のp型拡散層23が形成されている。

【0054】半導体基板11の上には、第1のn型ソース拡散層19及び第2のn型ドレイン拡散層21を露出する各コンタクトホールを有する層間絶縁膜24が形成されている。

【0055】次に、図3に示すように、p型の半導体基板11には、ヒ素イオン等のn型不純物が注入されてなるn型ウェル拡散層11aが形成されている。該n型ウェル拡散層11aには、LOCOS膜等からなる素子分離領域12が形成され、該素子分離領域12に囲まれたp型MOSトランジスタ形成領域2には、第3のゲート絶縁膜31を介在させた第3のゲート電極14B及び第4のゲート絶縁膜33を介在させた第4のゲート電極16Bが形成されている。第3のゲート電極14Bのゲート

ト長方向側の各側壁には第3のゲート側壁35がそれぞれ形成され、第4のゲート電極16Bのゲート長方向側の各側壁には第4のゲート側壁36がそれぞれ形成されている。

【0056】n型ウェル拡散層11aにおける第3のゲート電極14Bの下側部分、すなわち、第3のチャンネル領域にはしきい値制御用の第1のn型拡散層40が均一な不純物濃度で形成されると共に、第4のゲート電極16Bの下側部分、すなわち、第4のチャンネル領域にはしきい値制御用の第2のn型拡散層41が均一な不純物濃度で形成されている。

【0057】半導体基板11の上には、第1のp型ドレイン拡散層37、共有の第1及び第2のp型ソース拡散層38並びに第2のp型ドレイン拡散層39を露出する各コンタクトホールを有する層間絶縁膜42が形成されている。

【0058】ここで、図4に2入力NAND回路の回路構成を示し、図1に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。図4において、14は第1のゲート電極14A及び第3のゲート電極14Bと接続される第1の入力端子であり、16は第2のゲート電極16A及び第4のゲート電極16Bと接続される第2の入力端子であり、26は、第2の配線26A、第3の配線26B及び第4の配線26Cと接続される出力端子である。

【0059】このように、本実施形態に係る2入力NAND回路を構成する相補型半導体装置によると、n型MOSトランジスタ形成領域1において、キャリアとなる電子は第1のn型ソース拡散層19から共有の第1のn型ドレイン拡散層20及び第2のn型ソース拡散層20を通して第2のn型ドレイン拡散層21へと常に同一の方向に流れる。

【0060】さらに、半導体基板11における第1のゲート電極14Aの下側部分及び第2のゲート電極16Aの下側部分には、それぞれ第1のp型拡散層22及び第2のp型拡散層23が形成されているため、すなわち、各チャンネル領域のソース側部分におけるp型不純物濃度が、各チャンネル領域のドレイン側よりも大きくなるように形成されているため、前述したように、チャンネル領域のp型不純物濃度が均一な場合に比べて、MOSトランジスタの飽和電流値は大きくなると共に、ホットキャリアの耐性が向上する。さらに、低電圧動作時においても、駆動力が極端に低下しない。

【0061】さらに、本実施形態の特徴として、第1のp型拡散層22と第2のp型拡散層23における高濃度不純物領域が、第1のn型ソース拡散層19と第2のn型ソース拡散層20の下方にまで及んでいないため、従来のLDC構造のMOSトランジスタと比較して、ソース・基板間の寄生容量が小さくなるので、動作速度が低下せず、且つ、消費電力が低減される。

【0062】ここで、従来のLDC構造を有するMOSトランジスタの場合の問題点を説明する。図22に示すように、半導体基板211における第1のソース拡散層219及び第2のソース拡散層220の下方の領域には、パワーMOSにあつては耐圧を向上させる第1のp型拡散層222及び第2のp型拡散層223が形成され、且つ、これらp型拡散層222、223は、サブクォータミクロン領域以下では、短チャネル効果を抑制するために、その不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上となるように形成されている。このため、ソース・基板間のpn接合の寄生容量が従来のLDD構造に比べて増大するので、NAND型のCMOS回路等のようにソース・基板間に電圧が印加される論理回路の場合には素子の速度が低下してしまう。

【0063】また、本実施形態の大きな特徴として、図1におけるn型MOSTランジスタ形成領域1に示すように、2つのn型MOSTランジスタは、ソース領域及びドレイン領域の方向が互いに同一であり、且つ、第1のゲート電極14A及び第2のゲート電極16Aは互いに平行に設けられているため、半導体基板11における第1のゲート電極14Aの下側部分及び第2のゲート電極16Aの下側部分に対して、それぞれしきい値制御用のp型不純物濃度に勾配を生じさせる第1のp型拡散層22及び第2のp型拡散層23を1つのマスクを用いた一度の拡散工程で製造できる。従つて、n型MOSTランジスタ形成領域1の面積を低減し、且つ、高速動作と低消費電力とを実現できる半導体装置を容易に得ることができる。

【0064】一方、p型MOSTランジスタ形成領域2において、第3のゲート電極14Bの下側に形成されている第1のn型拡散層40及び第4のゲート電極16Bの下側に形成されている第2のn型拡散層41の不純物濃度はゲート長方向に均一に形成されている。これにより、並列に接続された2つのp型MOSTランジスタは、ソース・ドレイン間に充分な電圧が印加されるため、不均一なn型拡散層によって駆動力を上げる必要がなく、また、製造プロセスも従来と同様の方法でよい。

【0065】なお、本実施形態においては、2入力NAND回路を例に挙げたが、これに限らず、多入力NAND回路であっても、さらには、直列に接続されたn型MOSTランジスタが2つ以上で構成される相補型半導体装置であっても、低電圧動作時に、高駆動力で且つ寄生容量が小さい相補型半導体装置を得ることができる。

【0066】以下、第1の実施形態に係る半導体装置の製造方法について図面を参照しながら説明する。

【0067】図5～図7は本発明の第1の実施形態に係る半導体装置の製造方法の工程順断面図を示している。まず、図5(a)に示すように、p型シリコンからなる半導体基板11の上には、n型MOSTランジスタ形成領域1とp型MOSTランジスタ形成領域3とを互いに

分離するLOCOS膜等からなる素子分離領域12を形成する。ここで、p型MOSTランジスタ形成領域3は必ずしもn型MOSTランジスタ形成領域1と対をなす素子とは限らない。その後、半導体基板11におけるn型MOSTランジスタ形成領域1をマスクする第1のレジストパターン44を形成した後、半導体基板11におけるp型MOSTランジスタ形成領域3にヒ素(As)イオン等のn型不純物イオンを注入してn型ウエル拡散層11aを形成し、続いて、ヒ素イオンを注入することにより、p型MOSTランジスタのしきい値制御用のn型拡散層45Aを形成する。なお、n型ウエル拡散層11aとn型拡散層45Aとの形成工程は、その順序を入れ替えてもよい。

【0068】次に、図5(b)に示すように、第1のレジストパターン44を除去した後、半導体基板11の上に、シリコン酸化膜等からなるゲート絶縁膜及びポリシリコン等からなる導電性膜を堆積し、該ゲート絶縁膜及び導電性膜に対して所定のパターニングを行なつて、半導体基板11の上に、第1のゲート絶縁膜13を介在させた第1のゲート電極14A、第2のゲート絶縁膜15を介在させた第2のゲート電極16A、第3のゲート絶縁膜46を介在させた第3のゲート電極47及び第4のゲート絶縁膜48を介在させた第4のゲート電極49を形成する。

【0069】次に、図6(a)に示すように、半導体基板11におけるn型MOSTランジスタ形成領域1をマスクする第2のレジストパターン50を形成した後、該第2のレジストパターン50、第3のゲート電極47及び第4のゲート電極49をマスクとして、半導体基板11におけるp型MOSTランジスタ形成領域3に対してp型の不純物イオン、例えば、 BF_2 イオンを注入エネルギーが 10 KeV で注入ドーズ量が $2.0 \times 10^{14} \text{ cm}^{-2}$ 程度で注入することにより、浅いp型ソース・ドレイン拡散層51A、52A、53A(いわゆるエクステンション)をそれぞれ形成する。

【0070】次に、図6(b)に示すように、第2のレジストパターン50を除去した後、半導体基板11におけるp型MOSTランジスタ形成領域3をマスクする第3のレジストパターン54を形成し、該第3のレジストパターン54、第1のゲート電極14A及び第2のゲート電極16Aをマスクとして、半導体基板11におけるn型MOSTランジスタ形成領域1に対して、注入エネルギーが 80 KeV で注入ドーズ量が $2.0 \times 10^{13} \text{ cm}^{-2}$ 程度の BF_2 イオンを、基板面に垂直で且つゲート幅方向に平行な平面となす角度 θ が7度以上となるように第2のゲート電極16Aに対する第1のゲート電極14A側に傾きを持たせて注入することにより、しきい値電圧制御用の第1のp型拡散層22及び第2のp型拡散層23を、第1のゲート電極14A及び第2のゲート電極16Aの下側に不純物濃度が同一方向に向かって減少

10

20

30

40

50

するように形成する。従って、しきい値電圧制御用の第1のp型拡散層22及び第2のp型拡散層23の不純物濃度は、角度 θ が第2のゲート電極16Aに対して第1のゲート電極14A側に7度以上の傾きを持つため、第1のゲート電極14A側から第2のゲート電極16A側に向かうに連れて徐々に減少することになる。

【0071】ここで、前記の角度 θ を7度以上に設定しているのは、通常のイオン注入工程においても、イオンの注入角度は基板面に対して垂直ではなく法線に対して最大で7度程度傾斜させているためであり、従って、チャネル領域のソース側部分に濃度勾配を有するようにp型拡散層を形成するには、角度 θ が7度以上必要となる。なお、角度 θ は、互いに平行に配置された第1のゲート電極14Aと第2のゲート電極16Aとの間隔や高さ方向の寸法によっても変わるが、第2のp型拡散層23が第1のゲート電極14Aに遮蔽されてしまわない角度がその上限となる。従って、デザインルール等に応じて最適化する必要がある。

【0072】続いて、図7(a)に示すように、第3のレジストパターン54、第1のゲート電極14A及び第2のゲート電極16Aをマスクとして、半導体基板11におけるn型MOSトランジスタ形成領域1に対して、n型不純物イオン、例えば、ヒ素イオンを注入エネルギーが10KeVで注入ドーズ量が $2.0 \times 10^{14} \text{cm}^{-2}$ 程度で注入することにより、n型MOSトランジスタ形成領域1に浅いn型ソース・ドレイン拡散層19A、20A、21Aを形成する。

【0073】次に、図7(b)に示すように、第3のレジストパターン54を除去した後、半導体基板11の上に全面にわたってシリコン酸化膜等からなる絶縁膜(図示せず)を厚さが80nm程度に堆積し、該絶縁膜に対して異方性ドライエッチングを行なって、第1のゲート電極14A、第2のゲート電極16A、第3のゲート電極47、第4のゲート電極49のゲート長方向側の各側壁にそれぞれ、第1のゲート側壁17、第2のゲート側壁18、第3のゲート側壁55及び第4のゲート側壁56を形成する。その後、半導体基板11におけるn型MOSトランジスタ形成領域1をマスクする第4のレジストパターン(図示せず)を形成した後、該第4のレジストパターン、第3のゲート電極47及び第3のゲート側壁55、第4のゲート電極49及び第4のゲート側壁56をマスクとして、半導体基板11におけるp型MOSトランジスタ形成領域3に対してBF₃イオンを注入エネルギーが30KeVで注入ドーズ量が $2.0 \times 10^{15} \text{cm}^{-2}$ 程度で注入することにより、深いp型ソース・ドレイン拡散層51B、52B、53Bを形成すると共に、半導体基板11における第3のゲート電極47及び第4のゲート電極49の下側にしきい値制御用の不純物濃度が均一な第1のn型拡散層45B及び第2のn型拡散層45Cをそれぞれ形成する。

【0074】その後、第4のレジストパターンを除去した後、半導体基板11におけるp型MOSトランジスタ形成領域3をマスクする第5のレジストパターン57を形成した後、該第5のレジストパターン57、第1のゲート電極14A及び第1のゲート側壁17、第2のゲート電極16A及び第2のゲート側壁18をマスクとして、半導体基板11におけるn型MOSトランジスタ形成領域1に対してヒ素イオンを注入エネルギーが40KeVで注入ドーズ量が $6.0 \times 10^{15} \text{cm}^{-2}$ 程度で注入することにより、深いn型ソース・ドレイン拡散層をそれぞれ形成する。すなわち、n型MOSトランジスタ形成領域1における、第1のゲート電極14Aに対する第2のゲート電極16Aの反対側の領域に第1のn型ソース拡散層19を形成し、第1のゲート電極14Aと第2のゲート電極16Aとの間の領域に第1のn型ドレイン拡散層20と共有する第2のn型ソース拡散層20を形成し、第2のゲート電極16Aに対する第1のゲート電極14Aの反対側の領域に第2のn型ドレイン拡散層21を形成する。

【0075】なお、n型MOSトランジスタ形成領域1におけるソース・ドレイン拡散層とp型MOSトランジスタ形成領域3におけるソース・ドレイン拡散層とは形成する順序を入れ替えてもよい。

【0076】次に、図8に示すように、第5のレジストパターン57を除去した後、半導体基板11の上に全面にわたって層間絶縁膜24を堆積した後、n型MOSトランジスタ形成領域1における第1のn型ソース拡散層19の上にアルミニウムからなる第1の配線25を形成し、第2のn型ドレイン拡散層21の上にアルミニウムからなる第2の配線26Aを形成し、p型MOSトランジスタ形成領域3におけるp型ソース・ドレイン拡散層51B、52B、53Bの上に、アルミニウムからなる第3の配線58、第4の配線59及び第5の配線60をそれぞれ形成する。

【0077】前述したように、例えば、2入力NAND回路における直列接続されたn型MOSトランジスタ対の場合には、キャリアの方向は常に所定のソース側から所定のドレイン側に向かう。従って、本実施形態に係る半導体装置の製造方法によると、図6(b)に示すように、互いに平行に設けられた第1のゲート電極14A及び第2のゲート電極16Aをマスクとして、n型MOSトランジスタ形成領域1に対して、p型不純物イオンを基板面に垂直で且つゲート幅方向に平行な平面となす角度 θ が7度以上となるようにソース側からドレイン側に傾きを持たせて注入することにより、半導体基板11における第1のゲート電極14A及び第2のゲート電極16Aの下側の各チャネル領域に、ソース側からドレイン側に徐々に不純物濃度が減少するようにしきい値制御用の第1及び第2のp型拡散層22、23をそれぞれ形成する。

【0078】このように、基板面の法線に対してソース拡散層側に7度以上の傾きを持たせてしきい値制御用のp型不純物イオンを注入するため、注入されたしきい値制御用のp型拡散層に、ソース拡散層側からドレイン拡散層側に向けて不純物濃度が漸減する濃度勾配を有するn型MOSトランジスタ対を一度の注入工程で容易に且つ確実に形成することができる。

【0079】また、半導体基板11における第1のn型ソース拡散層19及び第2のn型ソース拡散層20の下側の領域のp型不純物濃度は、チャネル領域のソース側部分の不純物濃度に比べて低濃度に形成される。従って、従来のパワーMOSに用いられるLDC構造と異なり、ソース・基板間容量が小さくなるため、高速化と低消費電力化を図ることができる。

【0080】以上説明したように、直列に接続された複数のMOSトランジスタからなり、キャリアが流れる方向が定まっており、互いに平行となるゲート電極を持つようにレイアウトされた論理回路において、素子形成領域の縮小化、高駆動能力化及び低消費電力化を低コストで実現できる。

【0081】(第2の実施形態)以下、本発明に係る第2の実施形態について図面を参照しながら説明する。

【0082】図9は本発明の第2の実施形態に係る半導体装置であって、2入力NOR回路となる相補型MOS半導体装置の平面構成を示し、図10は2入力NOR回路の回路構成を示している。図9及び図10において、図1に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。図10に示すように、2入力NOR回路は、前述の第1の実施形態に係る2入力NAND回路の各MOSトランジスタの導電型を互いに反転させてなるため、2つのp型MOSトランジスタが直列に接続されている。従って、図9に示すように、p型シリコンからなる半導体基板に設けられたp型MOSトランジスタ形成領域2において、第1の入力端子14に接続される第1のゲート電極14Aと第2の入力端子に接続される第2のゲート電極16Aとが互いに平行に配置され、p型MOSトランジスタ形成領域2における、第1のゲート電極14Aに対する第2のゲート電極16Aの反対側の領域には、第1のp型ソース拡散層91が形成され、第1のゲート電極14Aと第2のゲート電極16Aとの間の領域には、第1のp型ドレイン拡散層92と共有される第2のp型ソース拡散層92が形成され、第2のゲート電極16Aに対する第1のゲート電極14Aの反対側の領域には、第2のp型ドレイン拡散層93が形成されている。

【0083】図示はしていないが、基板における図9のI A-I A線の断面方向の第1のゲート電極14A及び第2のゲート電極16Aの下側に形成される各チャネル領域において、各チャネル領域のソース側部分におけるしきい値制御用のn型不純物濃度が、各チャネル領域の

ドレイン側よりも大きくなるように形成されているため、該チャネル領域のn型不純物濃度が均一な場合に比べて、p型MOSトランジスタの飽和電流値は大きくなると共に、ホットキャリアの耐性が向上する。さらに、低電圧動作時においても、駆動力が極端に低下しない。

【0084】ここで、各チャネル領域のしきい値制御用のn型不純物濃度を不均一に形成する形成方法は、第1の実施形態と同様に、n型不純物イオンを、基板面に垂直で且つゲート幅方向に平行な平面となす角度 θ が7度以上となるように第2のゲート電極16Aに対する第1のゲート電極14A側に傾きを持たせて注入している。

【0085】また、図9に示すように、n型MOSトランジスタ形成領域1における並列に接続された2つのn型MOSトランジスタは、ソース・ドレイン間に十分な電圧が印加されるため、しきい値制御用のp型不純物拡散層を不均一にして駆動力を上げる必要がなく、また、製造プロセスも従来と同様の方法でよい。

【0086】なお、本実施形態においては、2入力NOR回路を例に挙げたが、これに限らず、多入力NOR回路であっても、さらには、直列に接続されたp型MOSトランジスタが2つ以上で構成される相補型半導体装置であっても、低電圧動作時に、高駆動力で且つ寄生容量が小さい相補型半導体装置を得ることができる。

【0087】以上説明したように、直列に接続された複数のp型MOSトランジスタからなり、キャリアが流れる方向が定まっており、互いに平行となるゲート電極を持つようにレイアウトされた論理回路において、素子形成領域の縮小化、高駆動能力化及び低消費電力化を低コストで実現できる。

【0088】(第3の実施形態)以下、本発明に係る第3の実施形態について図面を参照しながら説明する。

【0089】一般に、すべての論理回路は1つのp型MOSトランジスタと1つのn型MOSトランジスタとが直列に接続されてなるNOT回路(=インバータ回路)と、前述のNAND回路又はNOR回路のみの組み合わせで表わすことができる。さらに、複数のMOSトランジスタの直列接続又は並列接続を適当に組み合わせることにより、複雑な論理回路を一の論理ゲート回路で実現でき、このような論理ゲート回路を複合論理ゲート回路と呼ぶ。

【0090】図11は本発明の第3の実施形態に係る半導体装置であって、複合論理回路のうちのAND-NOR回路となる相補型MOS半導体装置の回路構成を示している。図11に示すように、AND-NOR回路において、ゲート電極が第1の入力端子94Aと接続された第1のn型MOSトランジスタ95と、ゲート電極が第2の入力端子94Bと接続された第2のn型MOSトランジスタ96とが直列に接続され、ゲート電極が第3の入力端子94Cと接続された第3のn型MOSトランジスタ97が第1及び第2のn型MOSトランジスタ9

5, 96と並列に接続されている。

【0091】ゲート電極が第1の入力端子94Aと接続された第1のp型MOSトランジスタ98と、ゲート電極が第2の入力端子94Bと接続された第2のp型MOSトランジスタ99とが並列に接続され、ゲート電極が第3の入力端子94Cと接続された第3のp型MOSトランジスタ100が第1及び第2のp型MOSトランジスタ98, 99の共通のソース電極と電源電圧端子V_{dd}との間に直列に接続されている。出力端子94Dは第1〜第3のn型MOSトランジスタ95, 96, 97の共通のドレイン電極及び第1及び第2のp型MOSトランジスタ98, 99の共通のドレイン電極に接続されている。

【0092】第1の入力端子94Aと第2の入力端子94Bとに与えられた信号に対して論理積(AND)演算が実行されると共に、演算された結果と第3の入力端子94Cに与えられた信号とが論理和の否定(NOR)演算が実行され、演算結果が出力端子94Dに出力される。

【0093】本実施形態に係るAND-NOR回路は、p型シリコンからなる半導体基板に形成されており、直列に接続された第1のn型MOSトランジスタ95と第2のn型MOSトランジスタ96とのゲート電極同士が互いに平行となるように設けられている。2つのn型MOSトランジスタ95, 96はゲート電極下に形成されるチャネル領域を流れるキャリアの方向が常にソース側からドレイン側へと向かう一方向であり、さらに、各チャネル領域のソース側部分におけるしきい値制御用のp型不純物濃度が、各チャネル領域のドレイン側よりも大きくなるように形成されているため、該チャネル領域のp型不純物濃度が均一な場合に比べて、n型MOSトランジスタの飽和電流値は大きくなると共に、ホットキャリアの耐性が向上する。さらに、低電圧動作時においても、駆動力が極端に低下しない。

【0094】なお、本実施形態においては、複合論理ゲート回路としてAND-NOR回路を例に挙げたが、これに限らず、他の複合論理ゲート回路であっても、低電圧動作時に、高駆動力で且つ寄生容量が小さい相補型半導体装置を得ることができる。

【0095】(第4の実施形態)以下、本発明に係る第4の実施形態について図面を参照しながら説明する。

【0096】論理回路には、これまでに述べてきたような定常的に入力に応じて信号が保持されるスタティック形回路と、外部からのクロック信号の制御により周期的に動作するダイナミック形回路とがある。本実施形態においては、クロック信号により制御されるクロックインバータ回路を扱う。

【0097】図12は本発明の第4の実施形態に係る半導体装置であって、クロックインバータ回路となる相補型MOS半導体装置の平面構成を示し、図13はクロ

ックインバータ回路の回路構成を示している。図13に示すように、クロックインバータ回路は、互いのゲート電極が入力端子103に接続され、互いのドレイン電極が出力端子104に接続された第1のp型MOSトランジスタ101と第2のn型MOSトランジスタ102とからなるインバータを有している。該インバータには、第1のp型MOSトランジスタ101のソース電極と電源電圧端子105との間に、クロック相補信号線106からの制御を受ける第2のp型MOSトランジスタ107が直列に接続されると共に、第1のn型MOSトランジスタ102のソース電極と接地電圧端子108との間に、クロック信号線109からの制御を受ける第2のn型MOSトランジスタ110が直列に接続されている。

【0098】構造的な特徴として、図12の平面図に示すように、p型シリコンからなる半導体基板に設けられたp型MOSトランジスタ形成領域2において、入力端子103と接続された第1のp型MOSトランジスタ101の第1のゲート電極103Aと、クロック相補信号線106と接続された第2のp型MOSトランジスタ107の第2のゲート電極106Aとは互いに平行に配置され、入力端子103と接続された第1のn型MOSトランジスタ102の第3のゲート電極103Bと、クロック信号線109と接続された第2のn型MOSトランジスタ110の第4のゲート電極109Aとは互いに平行に配置されている。

【0099】さらに、p型MOSトランジスタ形成領域2における、第2のゲート電極106Aに対する第1のゲート電極103Aの反対側の領域には、第1のp型ソース拡散層111が形成され、第1のゲート電極103Aと第2のゲート電極106Aとの間の領域には、第1のp型ドレイン拡散層112と共有される第2のp型ソース拡散層112が形成され、第1のゲート電極103Aに対する第2のゲート電極106Aの反対側の領域には、第2のp型ドレイン拡散層113が形成されている。

【0100】一方、n型MOSトランジスタ形成領域1における、第4のゲート電極109Aに対する第3のゲート電極103Bの反対側の領域には、第1のn型ソース拡散層114が形成され、第3のゲート電極103Bと第4のゲート電極109Aとの間の領域には、第1のn型ドレイン拡散層115と共有される第2のn型ソース拡散層115が形成され、第3のゲート電極103Bに対する第4のゲート電極109Aの反対側の領域には、第2のn型ドレイン拡散層116が形成されている。

【0101】ここで、図13を用いて、クロックインバータ回路の動作を説明すると、入力端子103にローレベルの信号が入力され、且つ、クロックパルスCPがハイレベルのときにはクロック相補信号/CPがローレ

ベルとなるので、電源電圧端子1 0 5 から出力端子1 0 4 に向かって電流が流れてハイレベルとなる信号が出力される。逆に、入力端子1 0 3 にハイレベルの信号が入力され、且つ、クロックパルスCPがハイレベルのときには、出力端子1 0 4 から接地電圧端子1 0 8 に向かって電流が流れることによりローレベルとなる信号が出力される。このように、直列に接続された第1 及び第2 のp 型MOSトランジスタ1 0 1 , 1 0 7 並びに直列に接続された第1 及び第2 のn 型MOSトランジスタ1 0 2 , 1 1 0 は、それぞれキャリアが流れる方向が常に一定である。

【0 1 0 2】本実施形態の構造上の特徴として、基板における図1 2 のI B -I B 線の断面方向の第1 のゲート電極1 0 3 A 及び第2 のゲート電極1 0 6 A の下側に形成される各p 型チャネル領域において、各p 型チャネル領域のソース側部分におけるしきい値制御用のn 型不純物濃度が、各p 型チャネル領域のドレイン側よりも大きくなるように形成されている。同様に、基板における図1 2 のI I B -I I B 線の断面方向の第3 のゲート電極1 0 3 B 及び第4 のゲート電極1 0 9 A の下側に形成される各n 型チャネル領域において、各n 型チャネル領域のソース側部分におけるしきい値制御用のp 型不純物濃度が、各n 型チャネル領域のドレイン側よりも大きくなるように形成されている。

【0 1 0 3】これにより、第1 及び第2 のp 型MOSトランジスタ1 0 1 , 1 0 7 のp 型チャネル領域のn 型不純物濃度が均一な場合に比べて、各p 型MOSトランジスタ1 0 1 , 1 0 7 の飽和電流値は大きくなると共に、ホットキャリアの耐性が向上する。さらに、低電圧動作時においても、駆動力が極端に低下しない。このことは、第1 及び第2 のn 型MOSトランジスタ1 0 2 , 1 1 0 についても同様である。

【0 1 0 4】なお、各チャネル領域のしきい値制御用の不純物濃度を不均一に形成する形成方法は第1 の実施形態と同様である。

【0 1 0 5】また、本実施形態においては、CMOSを用いたダイナミック形回路にクロックインバータ回路を例に挙げたが、これに限らず、インバータ回路部をNAND回路又はNOR回路に置き換えたダイナミック形回路であっても、低電圧動作時に、高駆動力で且つ寄生容量が小さい相補型半導体装置を得ることができる。

【0 1 0 6】以上説明したように、直列に接続された複数のp 型又はn 形MOSトランジスタからなり、キャリアが流れる方向が定まっており、互いに平行となるゲート電極を持つようにレイアウトされた論理回路において、素子形成領域の縮小化、高駆動能力化及び低消費電力化を低コストで実現できる。

【0 1 0 7】(第5 の実施形態) 以下、本発明に係る第5 の実施形態について図面を参照しながら説明する。

【0 1 0 8】論理回路には、NAND回路やNOR回路

等の組み合わせ論理回路以外に順序論理回路がある。順序論理回路は、出力値が現在の入力値だけでなく過去の出力値にも依存しており、何らかの記憶回路を含む。この記憶回路の基本となる回路がフリップフロップ回路であり、その機能に応じて、データラッチフリップフロップ回路、トグルフリップフロップ回路及びセットリセットフリップフロップ回路等がある。

【0 1 0 9】図1 4 は本発明の第5 の実施形態に係る半導体装置であって、データラッチフリップフロップ回路となる相補型MOS 半導体装置の回路構成を示している。図1 4 に示すように、入力端子1 2 1 に接続され、入力信号をクロックパルスCPに同期して反転させ、反転した信号を出力する第1 のクロックインバータ回路1 2 2 と、第1 のクロックインバータ回路1 2 2 の出力側に接続され、入力された信号を反転させて出力する第1 のインバータ回路1 2 3 と、第1 のインバータ回路1 2 3 の出力信号を受け、該出力信号をクロックパルスCPに同期して反転させ、第1 のインバータ回路1 2 3 の入力側に戻す第2 のクロックインバータ回路1 2 4 と、第1 のインバータ回路1 2 3 の出力側に接続され、入力された信号をクロックパルスCPに同期して反転させ、反転した信号を第1 の出力端子1 2 8 Aに出力する第3 のクロックインバータ回路1 2 5 と、第3 のクロックインバータ回路1 2 5 の出力側に接続され、入力された信号を反転させて第2 の出力端子1 2 8 Bに出力する第2 のインバータ回路1 2 6 と、第2 のインバータ回路1 2 6 の出力信号を受け、該出力信号をクロックパルスCPに同期して反転させ、第2 のインバータ回路1 2 6 の入力側に戻すと共に第1 の出力端子1 2 8 Aに出力する第4 のクロックインバータ回路1 2 7 とから構成されている。

【0 1 1 0】このように構成されたデータラッチフリップフロップ回路の動作を説明すると、入力端子1 2 1 にハイレベルの信号が入力されているとすると、第1 のクロックパルスで、第1 のクロックインバータ回路1 2 2 と第1 のインバータ回路1 2 3 との間のノードの電位がローレベルとなると共に、第1 のインバータ回路1 2 3 と第3 のクロックインバータ回路1 2 5 との間のノードの電位がハイレベルとなる。次に、第2 のクロックパルスが入力されると、第1 の出力端子1 2 8 Aに入力信号の相補信号となるローレベルの信号が出力されると共に、第2 の出力端子1 2 8 Bに入力信号と同一のハイレベルの信号が出力される。従って、第1 のクロックパルスに対して1 サイクル分遅れて、すなわち、入力信号が1 サイクル間ラッチされ、第1 の出力端子1 2 8 Aには入力信号の相補信号が、第2 の出力端子には入力信号と同一極性の信号がそれぞれ出力されることになる。

【0 1 1 1】ここで、第1 ~第4 のクロックインバータ回路1 2 2 , 1 2 4 , 1 2 5 , 1 2 7 には、前述の第5 の実施形態に示した構成を持たせているため、低電圧

動作時であっても、高駆動力で且つ寄生容量が小さいデータラッチフリップフロップ回路を得ることができる。

【0112】なお、本実施形態においては、データラッチフリップフロップ回路を例に挙げたが、これに限らず、トグルフリップフロップ回路やセットリセットフリップフロップ回路においても、インバータ回路、多入力NAND回路、多入力NOR回路、クロックインバータ回路、伝達ゲート回路又は複合論理回路を用いて構成でき、これらの構成要素となる各論理回路に第1の実施形態に示した発明、すなわち、直列に接続された複数のMOSトランジスタからなり、キャリアが流れる方向が定まっており、互いに平行となるゲート電極を持つようにレイアウトされた論理回路において、各チャネル領域のしきい値制御用の不純物濃度を不均一に形成するという発明を適用すれば、同様の効果を得ることができる。

【0113】(第6の実施形態)以下、本発明に係る第6の実施形態について図面を参照しながら説明する。

【0114】典型的な半導体メモリ回路であるダイナミックランダムアクセスメモリ(DRAM)回路は、多数のメモリ素子が行列状に配列されてなるメモリセルアレイ部と、該メモリセルアレイ部に対して入出力を制御する周辺回路部及び入出力インターフェイス回路部とから構成される。周辺回路部のうちの代表的な回路ブロックを構成するデコーダは、入出力インターフェイス回路部のアドレスバッファからN組(Nは整数とする。)及びM組(Mは整数とする。)のアドレス信号を受け、 2^N 本の行線及び 2^M 本の列線のうちからメモリセルアレイ部のメモリセルを特定するための、行及び列からなる1組のアドレスを選択する論理回路群である。

【0115】図15は本発明の第6の実施形態に係る半導体装置であって、8ビットデコーダ回路となる相補型MOS半導体装置の回路構成を示している。図15に示すように、例えば、行アドレスとしての入力端子A1～A8に8ビットの入力信号が入力され、 2^8 本すなわち256本の出力端子群B1～B256のうちから1本が選択される。また、8ビットデコーダ回路は、入力端子A1～A8にそれぞれ接続された8個のインバータ回路131、該インバータ回路131の出力側に接続された16個の2入力NAND回路132、該2入力NAND回路132の出力側に接続された64個の3入力NAND回路133及び該3入力NAND回路133の出力側に接続された256個の2入力NOR回路134から構成されている。

【0116】ここで、2入力NAND回路132及び3入力NAND回路133は前述の第1の実施形態に示した構成を有しており、2入力NOR回路134は前述の第2の実施形態に示した構成を有しているため、低電圧動作時であっても、高駆動力で且つ寄生容量が小さいデコーダ回路を得ることができる。

【0117】なお、本実施形態においては、8ビットデ

コーダ回路を例に挙げたが、これに限らず、8ビット以外のマルチビットデコーダ回路においても、インバータ回路、多入力NAND回路、多入力NOR回路を用いて構成でき、これらの構成要素となる各論理回路に、第1の実施形態に詳述した発明を適用すれば、同様の効果を得ることができる。

【0118】(第7の実施形態)以下、本発明に係る第7の実施形態について図面を参照しながら説明する。

【0119】前述の第1から第6の実施形態は、NAND回路やNOR回路のように、直列に接続された複数の一導電型のMOSトランジスタのキャリアが流れる方向が一方に定まっており、且つ、互いに平行となるゲート電極を持つようにレイアウトされた論理回路を対象にして、該ゲート電極の下側に形成されるチャネル領域のしきい値制御用の不純物濃度を複数の一導電型のMOSトランジスタのそれぞれの駆動能力を高めるように濃度勾配を持たせている。

【0120】第7の実施形態においては、直列に接続されていない複数の一導電型のMOSトランジスタであって、互いに平行となるゲート電極を持つようにレイアウトされた論理回路を対象にして、複数の一導電型のMOSトランジスタのうちのキャリアが流れる方向が一方に定まっているMOSトランジスタの駆動能力を高めるように、該MOSトランジスタのチャネル領域の不純物濃度を濃度勾配を持つように形成している。

【0121】図16は本発明の第7の実施形態に係る半導体装置であって、伝達ゲート回路となる相補型MOS半導体装置の平面構成を示している。図16に示すように、p型シリコンからなる半導体基板には、第1のn型MOSトランジスタ4Aと第1のp型MOSトランジスタ5Aとからなるインバータ回路6と、第2のn型MOSトランジスタ4Bと第2のp型MOSトランジスタ5Bとからなる転送ゲート回路7とが形成されている。

【0122】インバータ回路6における第1のn型MOSトランジスタ4Aには、ポリシリコン等の導電性膜からなり、インバータ回路6の一方の制御端子となる第1のゲート電極64Aが形成され、該第1のゲート電極64Aのゲート長方向側には、ヒ素イオン等が注入されてなる第1のn型ソース拡散層69及び第1のn型ドレイン拡散層70がそれぞれ形成されている。アルミニウムからなり、接地電位 V_{ss} が印加される第1の配線75Aは第1のn型ソース拡散層69に接続されると共に、第1の配線75Aと同電位に印加される第2の配線75B及び第3の配線75Cは基板に接続されて基板電位を接地電位 V_{ss} に制御している。

【0123】インバータ回路6における第1のp型MOSトランジスタ5Aには、ポリシリコン等の導電性膜からなり、インバータ回路6の他方の制御端子となる第2のゲート電極64Bが形成され、該第2のゲート電極64Bのゲート長方向側には、ホウ素イオン等がそれぞれ

注入されてなる第1 のp 型ソース拡散層8 4 及び第1 のp 型ドレイン拡散層8 5 が形成されている。アルミニウムからなり、電源電位V_{dd}が印加される第4 の配線9 0 Aは第1 のp 型ソース拡散層8 4 に接続されると共に、第4 の配線9 0 Aと同電位に印加される第5 の配線9 0 B及び第6 の配線9 0 Cは基板に接続されて基板電位を電源電位V_{dd}に制御している。

【0 1 2 4】また、共にアルミニウムからなり、第1 のn 型MOSトランジスタ4 Aの第1 のn 型ドレイン拡散層7 0 に接続される第7 の配線7 6 Aと、第1 のp 型MOSトランジスタ5 Aの第1 のp 型ドレイン拡散層8 5 に接続される第8 の配線7 6 Bとは、転送ゲート回路7 側に共通に接続される。

【0 1 2 5】このように、第1 のn 型MOSトランジスタ4 A及び第1 のp 型MOSトランジスタ5 Aからなるインバータ回路6 は、常にキャリアが流れる方向が一定である。

【0 1 2 6】一方、転送ゲート回路7 における第2 のn 型MOSトランジスタ4 Bには、ポリシリコン等の導電性膜からなり、転送ゲート回路7 の一方の制御端子となる第3 のゲート電極6 6 Aが形成され、該第3 のゲート電極6 6 Aのゲート長方向側には、ヒ素イオン等が注入されてなる第2 のn 型ソース拡散層7 1 及び第2 のn 型ドレイン拡散層7 2 がそれぞれ形成されている。

【0 1 2 7】転送ゲート回路7 における第2 のp 型MOSトランジスタ5 Bには、ポリシリコン等の導電性膜からなり、転送ゲート回路7 の他方の制御端子であって、インバータ回路6 の出力値を受ける第4 のゲート電極8 1 が形成され、該第4 のゲート電極8 1 のゲート長方向側には、ホウ素イオン等がそれぞれ注入されてなる第2 のp 型ソース拡散層8 6 及び第2 のp 型ドレイン拡散層8 7 が形成されている。

【0 1 2 8】また、共にアルミニウムからなり、第2 のn 型MOSトランジスタ4 Bの第2 のn 型ソース拡散層7 1 に接続される第9 の配線7 7 Aと、第2 のp 型MOSトランジスタ5 Bの第2 のp 型ソース拡散層8 6 に接続される第1 0 の配線7 7 Bとは、共通に接続されて論理回路の第1 の入出力端子7 7 Cに接続される。同様に、共にアルミニウムからなり、第2 のn 型MOSトランジスタ4 Bの第2 のn 型ドレイン拡散層7 2 に接続される第1 1 の配線7 8 Aと、第2 のp 型MOSトランジスタ5 Bの第2 のp 型ドレイン拡散層8 7 に接続される第1 2 の配線7 8 Bとは、共通に接続されて論理回路の第2 の入出力端子7 8 Cに接続される。

【0 1 2 9】従って、第1 の入出力端子7 7 C及び第2 の入出力端子7 8 Cに印加される電圧値、すなわち、論理値に応じて第2 のn 型MOSトランジスタ4 Bにおける第2 のn 型ソース拡散層7 1 と第2 のn 型ドレイン拡散層7 2 とは、キャリアが双方向に流れる。同様に、第2 のp 型MOSトランジスタ5 Bにおいてもキャリアは

双方向に流れる。

【0 1 3 0】このように、第2 のn 型MOSトランジスタ4 B及び第2 のp 型MOSトランジスタ5 Bからなり、双方向にデータが流れる転送ゲート回路7 の場合は、第1 及び第2 の入出力端子7 7 C、7 8 Cに入力されるデータ値に応じてキャリアが流れる方向が変わる。

【0 1 3 1】ここで、図1 7 に伝達ゲート回路の回路構成を示し、図1 6 に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。図1 7 において、6 4 は第1 のゲート電極6 4 A及び第2 のゲート電極6 4 Bに接続される制御端子であり、7 5 は第1 の配線7 5 A、第2 の配線7 5 B及び第3 の配線7 5 Cと接続される接地電圧端子であり、9 0 は第4 の配線9 0 A、第5 の配線9 0 B及び第6 の配線9 0 Cと接続される電源電圧端子である。

【0 1 3 2】また、図1 8 は図1 6 のIII -III 線における断面構成を示し、図1 9 は図1 6 のIV-IV線における断面構成を示している。

【0 1 3 3】図1 8 及び図1 9 において、図1 6 に示した構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0 1 3 4】まず、図1 8 に示すように、p 型シリコンからなる半導体基板6 1 の上には、LOCOS 膜等からなる素子分離領域6 2 が形成されており、該素子分離領域6 2 に囲まれてなる第1 のn 型MOSトランジスタ4 Aは、第1 のゲート絶縁膜6 3 を介在させた第1 のゲート電極6 4 Aと該第1 のゲート電極6 4 Aのゲート長方向の各側壁に形成された絶縁膜からなる第1 のゲート側壁6 7 とを有している。半導体基板6 1 における第1 のゲート電極6 4 Aの下側の領域、すなわち、第1 のチャネル領域には、第1 のn 型ソース拡散層6 9 側から第1 のn 型ドレイン拡散層7 0 側に向かうに連れてしきい値制御用のp 型不純物濃度が徐々に小さくなる第1 のp 型拡散層7 3 Aが形成されている。

【0 1 3 5】素子分離領域6 2 に囲まれてなる第2 のn 型MOSトランジスタ4 Bは、第3 のゲート絶縁膜6 5 を介在させた第3 のゲート電極6 6 Aと該第3 のゲート電極6 6 Aのゲート長方向の各側壁に形成された絶縁膜からなる第3 のゲート側壁6 8 とを有している。半導体基板6 1 における第3 のゲート電極6 6 Aの下側の領域、すなわち、第3 のチャネル領域には、第2 のn 型ソース拡散層7 1 側から第2 のn 型ドレイン拡散層7 2 側に向かうに連れてしきい値制御用のp 型不純物濃度が徐々に小さくなる第2 のp 型拡散層7 3 Bが形成されている。

【0 1 3 6】次に、図1 9 に示すように、半導体基板6 1 の上に形成された素子分離領域6 2 に囲まれ、且つ、半導体基板6 1 のn 型ウェル拡散層6 1 a に形成された第1 のp 型MOSトランジスタ5 Aは、第2 のゲート絶縁膜7 9 を介在させた第2 のゲート電極6 4 Bと該第2

のゲート電極6 4 Bのゲート長方向の各側壁に形成された絶縁膜からなる第2のゲート側壁8 2とを有している。半導体基板6 1における第2のゲート電極6 4 Bの下側の領域、すなわち、第2のチャンネル領域には、第1のp型ソース拡散層8 4側から第1のp型ドレイン拡散層8 5側に向かうに連れてしきい値制御用のn型不純物濃度が徐々に小さくなる第1のn型拡散層8 8 Aが形成されている。

【0 1 3 7】同様に、半導体基板6 1のn型ウェル拡散層6 1 aに形成された第2のp型MOSトランジスタ5 Bは、第4のゲート絶縁膜8 0を介在させた第4のゲート電極8 1と該第4のゲート電極8 1のゲート長方向の各側壁に形成された絶縁膜からなる第4のゲート側壁8 3とを有している。半導体基板6 1における第4のゲート電極8 1の下側の領域、すなわち、第4のチャンネル領域には、第2のp型ソース拡散層8 6側から第2のp型ドレイン拡散層8 7側に向かうに連れてしきい値制御用のn型不純物濃度が徐々に小さくなる第2のn型拡散層8 8 Bが形成されている。

【0 1 3 8】本実施形態に係る伝達ゲート回路を構成する相補型半導体装置は、インバータ回路6を構成する第1のn型MOSトランジスタ4 Aにおいては、キャリアである電子は第1のn型ソース拡散層6 9から第1のn型ドレイン拡散層7 0へと常に同一の方向に流れる。同様に、インバータ回路6を構成する第1のp型MOSトランジスタ5 Aにおいては、キャリアであるホールは第1のp型ソース拡散層8 4から第1のp型ドレイン拡散層8 5へと常に同一の方向に流れる。

【0 1 3 9】以上説明したように、キャリアが流れる方向が一定である第1のn型MOSトランジスタ4 A及び第1のp型MOSトランジスタ5 Aにおける各チャンネル領域のソース側部分には、それぞれ第1のp型拡散層7 3 A及び第1のn型拡散層8 8 Aが形成されているため、しきい値制御用のp型不純物濃度が、各チャンネル領域のドレイン側よりも大きくなるので、チャンネル領域のp型不純物濃度が均一な場合に比べて、MOSトランジスタの飽和電流値は大きくなると共に、ホットキャリアの耐性が向上する。さらに、低電圧動作時においても、駆動力が極端に低下しない。

【0 1 4 0】さらに、本実施形態の特徴として、第1のn型MOSトランジスタ4 Aの第1のp型拡散層7 3 Aと第1のp型MOSトランジスタ5 Aの第1のn型拡散層8 8 Aとにおける各高濃度不純物領域が、共に第1のn型ソース拡散層6 9及び第1のp型ソース拡散層8 4の下方にまで及んでいないため、従来のLDC構造のMOSトランジスタと比較して、ソース・基板間の寄生容量が小さくなるので、動作速度が低下せず、且つ、消費電力が低減される。

【0 1 4 1】また、本実施形態の大きな特徴として、図1 6に示すように、インバータ回路6を構成する第1の

n型MOSトランジスタ4 Aと転送ゲート回路7を構成する第2のn型MOSトランジスタ4 Bとに着目すると、キャリアが流れる方向が定まっている第1のn型MOSトランジスタ4 Aの第1のゲート電極6 4 Aと、キャリアが流れる方向が定まっていない第2のn型MOSトランジスタ4 Bの第3のゲート電極6 6 Aとは互いに平行に配置されている。さらに、図1 8の構成断面図に示すように、第1のn型MOSトランジスタ4 Aにおけるチャンネル領域のソース側部分と、第2のn型MOSトランジスタ4 Bにおけるチャンネル領域のソース側部分とは、共に高濃度のp型拡散層7 3 A、7 3 Bが形成されている。従って、しきい値制御用のp型不純物濃度にそれぞれ濃度勾配を生じさせる第1のp型拡散層7 3 A及び第2のp型拡散層7 3 Bを1つのマスクを用いた一度の拡散工程で製造できるため、第1及び第2のn型MOSトランジスタ4 A、4 Bの面積を低減し、且つ、高速動作と低消費電力とを実現できる半導体装置を容易に得ることができる。

【0 1 4 2】このことは、相補型回路の特徴として、インバータ回路6を構成する第1のp型MOSトランジスタ5 Aと、転送ゲート回路7を構成する第2のp型MOSトランジスタ5 Bについても同様のことがいえる。

【0 1 4 3】但し、転送ゲート回路7を構成する第2のn型MOSトランジスタ4 B及び第2のp型MOSトランジスタ5 Bにおいて、しきい値制御用の不純物拡散層がチャンネル領域で不均一であっても、電気特性に悪影響はない。それは、ソース側の不純物濃度が大きくなる場合には、インバータ回路6と同様に、ソース側においてキャリアの速度オーバーシュートが起こるため電気特性が向上し、また、ドレイン側の不純物濃度が大きくなる場合には、ソース側におけるキャリアの速度オーバーシュートは起こらないものの、均一な不純物濃度の場合と比べて電気特性が劣化することがないからである。

【0 1 4 4】なお、本実施形態においては、キャリアが流れる方向が一方方向となる回路にインバータ回路6を用い、双方向となる回路に転送ゲート回路7を用いたが、これに限るものではない。

【0 1 4 5】以下、前記のように構成された半導体装置の製造方法を説明する。

【0 1 4 6】本実施形態に係る伝達ゲート回路となる半導体装置は、第1の実施形態と同様の製造方法を用いて実現できる。その特徴的な点のみを説明すると、図1 6の平面図に示すようなレイアウトを採用するため、第1のn型MOSトランジスタ4 Aの第1のゲート電極6 4 Aと、第2のn型MOSトランジスタ4 Bの第3のゲート電極6 6 Aとは互いに平行に配置されている。従って、第1の実施形態における図5 (b)に示す方法と同様にして、p型不純物イオンとなるBF₂イオンを、基板面に垂直で且つゲート幅方向に平行な平面となす角度θが7度以上となるように第3のゲート電極6 6 Aに対

する第1のゲート電極64A側に傾きを持たせて注入することにより、本発明の特徴である、濃度勾配を有する第1のp型拡散層73A及び第2のp型拡散層73Bを一度の注入工程で形成する。

【0147】同様に、第1のp型MOSトランジスタ5Aの第2のゲート電極64Bと、第2のp型MOSトランジスタ5Bの第4のゲート電極81とは互いに平行に配置されているので、n型不純物イオンとなるヒ素イオンを、基板面に垂直で且つゲート幅方向に平行な平面となす角度 θ が7度以上となるように第4のゲート電極81に対する第2のゲート電極64B側に傾きを持たせて注入することにより、本発明の特徴である、濃度勾配を有する第1のn型拡散層88A及び第2のn型拡散層88Bを一度の注入工程で形成することができる。

【0148】このように、基板面の法線に対してソース拡散層側に7度以上の傾きを持たせてしきい値制御用拡散層の不純物イオンを注入するため、該しきい値制御用拡散層に、ソース拡散層側からドレイン拡散層側に向けてしきい値制御用拡散層の不純物濃度が漸減する濃度勾配を有するMOSトランジスタ対を一度の注入工程で容易に且つ確実に形成することができる。

【0149】また、半導体基板61における第1のn型ソース拡散層69及び第2のn型ソース拡散層71の下側の領域のp型不純物濃度並びに第1のp型ソース拡散層84及び第2のp型ソース拡散層86の下側の領域のn型不純物濃度は、各チャネル領域のソース側部分の不純物濃度に比べて低濃度に形成される。従って、従来のパワーMOSに用いられるLDC構造と異なり、ソース・基板間容量が小さくなるため、高速化と低消費電力化とを図ることができる。

【0150】以上説明したように、一導電型の複数のMOSトランジスタからなり、複数のMOSトランジスタのうちの1つのMOSトランジスタはキャリアが流れる方向が定まっており、互いに平行となるゲート電極を持つようにレイアウトされた論理回路において、素子形成領域の縮小化、高駆動能力化及び低消費電力化を低コストで実現できる。

【0151】(第8の実施形態)以下、本発明に係る第8の実施形態について図面を参照しながら説明する。

【0152】ダイナミック形論理回路の一例として第4の実施形態に挙げた、2つのp型MOSトランジスタと2つのn型MOSトランジスタとからなるクロックインバータ回路の他に、2つのインバータ回路と転送ゲート回路を組み合わせるクロックインバータ回路を構成することもできる。

【0153】図20は本発明の第8の実施形態に係る半導体装置であって、クロックインバータ回路となる相補型MOS半導体装置の回路構成を示している。図20に示すように、クロック信号入力端子135からのクロックパルスCPを受け、互いのドレイン電極が接続され

た第1のp型MOSトランジスタ136と第1のn型MOSトランジスタ137とからなり、入力されたクロックパルスCPを反転させた相補クロックパルス/CPを生成して出力する第1のインバータ回路8と、入力端子138からの入力信号を受け、互いのドレイン電極が接続された第2のp型MOSトランジスタ139と第2のn型MOSトランジスタ140とからなり、入力信号を反転させた反転信号を出力する第2のインバータ回路9と、第3のp型MOSトランジスタ141と第3のn型MOSトランジスタ142とが並列に接続されてなり、第3のn型MOSトランジスタ142がクロックパルスCPの制御を受ける一方、第3のp型MOSトランジスタ141がクロックパルスCPの相補信号/CPを受け、反転信号を出力端子143に出力する転送ゲート回路10とから構成される。

【0154】本実施形態に係るクロックインバータ回路は、第1のp型MOSトランジスタ136及び第2のp型MOSトランジスタ139のキャリアの流れる方向が、ソース電極側からドレイン電極側への一方向であり、同様に、第1のn型MOSトランジスタ137及び第2のn型MOSトランジスタ140のキャリアの流れる方向が、ソース電極側からドレイン電極側への一方向と定まっている。一方、転送ゲート回路10における第3のp型MOSトランジスタ141及び第3のn型MOSトランジスタ142は入力信号の値に応じてキャリアの流れる方向が変わる。

【0155】従って、第1～第3のp型MOSトランジスタ136、139、141の互いのゲート電極が平行となるようにレイアウトされると共に、各ゲート電極の下側に形成されるp型チャネル領域のソース側部分におけるしきい値制御用のn型不純物濃度が、該p型チャネル領域のドレイン側よりも大きくなるように形成されており、また、第1～第3のn型MOSトランジスタ137、140、142の互いのゲート電極が平行となるようにレイアウトされると共に、各ゲート電極の下側に形成されるn型チャネル領域のソース側部分におけるしきい値制御用のp型不純物濃度が、該n型チャネル領域のドレイン側よりも大きくなるように形成されていると、低電圧動作時に、高駆動力で且つ寄生容量が小さいクロックインバータ回路を得ることができる。

【0156】ここで、各p型及びn型チャネル領域のしきい値制御用の不純物濃度を不均一に形成する形成方法は、第7の実施形態と同様に、各不純物イオンを、基板面に垂直で且つゲート幅方向に平行な平面となす角度 θ が7度以上となるように一のゲート電極に隣接する他のゲート電極側に傾きを持たせてそれぞれ注入すればよい。

【0157】なお、本実施形態においては、クロックインバータ回路を例に挙げたが、これに限らず、インバータ回路部をNAND回路又はNOR回路に置き換えた

ダイナミック形回路であってもよい。

【0158】(第9の実施形態)以下、本発明に係る第9の実施形態を説明する。

【0159】第5の実施形態においては、図14に示すデータラッチフリップフロップ回路における各クロックトインバータ回路122, 124, 125, 127に第4の実施形態のクロックトインバータ回路を用いて構成した。

【0160】本実施形態においては、図14に示すデータラッチフリップフロップ回路の各クロックトインバータ回路122, 124, 125, 127に、前述の第8の実施形態のクロックトインバータ回路を用いる構成としており、これにより、低電圧動作時に、高駆動力で且つ寄生容量が小さいデータラッチフリップフロップ回路を得ることができる。

【0161】なお、本実施形態においては、データラッチフリップフロップ回路を例に挙げたが、これに限らず、トグルフリップフロップ回路やセットリセットフリップフロップ回路においても、前述したように、インバータ回路、多入力NAND回路、多入力NOR回路、クロックトインバータ回路、伝達ゲート回路又は複合論理回路を用いて構成でき、これらの構成要素となる各論理回路に第7の実施形態に示した発明、すなわち、複数の一導電型のMOSトランジスタからなり、互いに平行となるゲート電極を持つようにレイアウトされた論理回路において、少なくともキャリアが流れる方向が定まっているチャンネル領域のしきい値制御用の不純物濃度を、ソース領域側に大きくドレイン領域側に小さくなるように濃度勾配を持たせるように形成するという発明を適用すれば、同様の効果を得ることができる。

【0162】

【発明の効果】本発明の第1の半導体装置によると、一の半導体基板に形成され、直列に接続されてなる複数の第1導電型のMISトランジスタにおいて、各ゲート電極の下側に形成されるチャンネル領域はキャリアが流れる方向が同一となるように形成され、且つ、各ゲート電極は互いに平行に設けられている。さらに、各チャンネル領域におけるソース領域側の第2導電型の不純物濃度は、各チャンネル領域におけるドレイン領域側の第2導電型の不純物濃度よりも大きいので、直列に接続された複数のMISトランジスタに印加される各電圧が電源電圧よりも小さくなるにもかかわらず、チャンネル領域におけるソース領域側部分の電位が高くなるので、直列に接続されたMISトランジスタの駆動能力が低下することがない。従って、電源電圧の低電圧化を図った場合であっても、所望の動作速度を維持できると共に消費電力を低減することができる。

【0163】また、直列に接続されたMISトランジスタの各ゲート電極が互いに平行に設けられているため、高集積化が容易となると共に、直列に接続されたMIS

トランジスタのチャンネル領域におけるソース領域側部分に第2導電型の高濃度の不純物領域を形成する際に、該不純物の注入工程を一度で行なうことができるので、製造コストを上昇させることがない。

【0164】本発明の第2の半導体装置によると、NAND回路を構成する4つのトランジスタのうちの一方のソース領域と他方のドレイン領域とが直列に接続された2つのn型MOSトランジスタは、キャリアが流れる方向が同一であるチャンネル領域を有し、各チャンネル領域におけるソース領域側のp型の不純物濃度が、各チャンネル領域におけるドレイン領域側のp型の不純物濃度よりも大きく、且つ、直列に接続された2つのn型MOSトランジスタの各ゲート電極が互いに平行に設けられているため、本発明の第1の半導体装置と同様の効果を得ることができる。

【0165】本発明の第3の半導体装置によると、NOR回路を構成する4つのトランジスタのうちの一方のソース領域と他方のドレイン領域とが直列に接続された2つのp型MOSトランジスタは、キャリアが流れる方向が同一であるチャンネル領域を有し、各チャンネル領域におけるソース領域側のn型の不純物濃度が、各チャンネル領域におけるドレイン領域側のn型の不純物濃度よりも大きく、且つ、直列に接続された2つのp型MOSトランジスタの各ゲート電極が互いに平行に設けられているため、本発明の第1の半導体装置と同様の効果を得ることができる。

【0166】本発明の第4の半導体装置によると、直列に接続された複数の第1導電型のMOSトランジスタを含む複合論理回路は、キャリアが流れる方向が同一であるチャンネル領域を有し、各チャンネル領域におけるソース領域側の第2導電型の不純物濃度が、各チャンネル領域におけるドレイン領域側の第2導電型の不純物濃度よりも大きく、且つ、直列に接続された複数の第1導電型のMOSトランジスタの各ゲート電極が互いに平行に設けられているため、本発明の第1の半導体装置と同様の効果を得ることができる。

【0167】本発明の第5の半導体装置によると、複数の第1導電型のMISトランジスタ及び複数の第2導電型のMISトランジスタが、それぞれ本発明の第1の半導体装置と同様の構成を有しているため、第1導電型のMISトランジスタ及び第2導電型のMISトランジスタはそれぞれ本発明の第1の半導体装置と同様の効果を得ることができる。

【0168】第5の半導体装置において、第1導電型がp型であり、第2導電型がn型であり、複数のMISトランジスタがそれぞれMOSトランジスタであって、複数のMOSトランジスタのうちの第1のp型MOSトランジスタと第1のn型MOSトランジスタとが接続されてなるインバータ回路と、第1のp型MOSトランジスタのソース電極と電源電圧端子との間に直列に接続さ

10

20

30

40

50

れ、クロック信号の制御を受ける第2のp型MOSトランジスタと、第1のn型MOSトランジスタのソース電極と接地電圧端子との間に直列に接続され、クロック相補信号の制御を受ける第2のn型MOSトランジスタとから構成されるクロックインバータ回路を備えていると、クロックインバータ回路における第1及び第2のp型MOSトランジスタ並びに第1及び第2のn型MOSトランジスタがそれぞれ本発明の第1の半導体装置と同様の構成を有するため、クロックインバータ回路は本発明の第1の半導体装置と同様の効果を得ることができる。

【0169】第5の半導体装置はフリップフロップ回路を備えた半導体装置であって、フリップフロップ回路が本発明のクロックインバータ回路を含むと、フリップフロップ回路は本発明の第1の半導体装置と同様の効果を得ることができる。

【0170】本発明の第6の半導体装置によると、DRAM回路の周辺回路部におけるデコーダ回路が、本発明の第1の半導体装置と同様の構成を有するNAND回路及びNOR回路を有しているため、NAND回路におけるn型MOSトランジスタ及びNOR回路におけるp型MOSトランジスタのそれぞれが本発明の第1の半導体装置と同様の効果を得ることができる。

【0171】本発明の第7の半導体装置によると、一の半導体基板に形成された複数の第1導電型のMISトランジスタのうちの一のMISトランジスタは、そのゲート電極の下側にキャリアが流れる方向が一方向となるチャネル領域を有し、且つ、チャネル領域におけるソース領域側の第2導電型の不純物濃度がチャネル領域におけるドレイン領域側の第2導電型の不純物濃度よりも大きい場合、チャネル領域におけるソース領域側部分の電位が高くなるので、一のMISトランジスタの駆動能力が向上する。その結果、電源電圧の低電圧化を図った場合であっても、所望の動作速度を維持できると共に消費電力を低減することができる。

【0172】また、複数のMISトランジスタの各ゲート電極が互いに平行に設けられているため、高集積化が容易となると共に、チャネル領域におけるソース領域側部分に第2導電型の高濃度の不純物領域を形成する際に、該不純物の注入工程を一度で行なうことができるので、製造コストを上昇させることがない。

【0173】第7の半導体装置において、複数のMISトランジスタのうちの他のMISトランジスタのチャネル領域は、ソース領域側の第2導電型の不純物濃度がチャネル領域におけるドレイン領域側の第2導電型の不純物濃度よりも大きいと、他のMISトランジスタのキャリアが流れる方向が双方向であっても素子特性に悪影響が現われないため、チャネル領域におけるソース領域側部分に第2導電型の高濃度の不純物領域を形成する際に、一のマスクパターンを用いて一度の注入工程で確実

に形成できる。

【0174】本発明の第8の半導体装置によると、インバータ回路における、第1のp型MOSトランジスタのゲート電極の下側には、キャリアが流れる方向が一方向となるp型チャネル領域が形成され、該p型チャネル領域におけるソース領域側のn型の不純物濃度が該p型チャネル領域におけるドレイン領域側のn型の不純物濃度よりも大きく、且つ、第1のn型MOSトランジスタのゲート電極の下側には、キャリアが流れる方向が一方向となるn型チャネル領域が形成され、該n型チャネル領域におけるソース領域側のp型の不純物濃度が該n型チャネル領域におけるドレイン領域側のp型の不純物濃度よりも大きい。また、第1及び第2のp型MOSトランジスタの各ゲート電極同士並びに、第1及び第2のn型MOSトランジスタの各ゲート電極同士はそれぞれが互いに平行に設けられているため、伝達ゲート回路におけるインバータ回路は、本発明の第7の半導体装置と同様の構成となるので、該伝達ゲート回路は本発明の第7の半導体装置と同様の効果を得ることができる。

【0175】本発明の第9の半導体装置によると、クロックインバータ回路における第1のp型MOSトランジスタ及び第2のp型MOSトランジスタ並びに第1のn型MOSトランジスタ及び第2のn型MOSトランジスタがそれぞれ本発明の第7の半導体装置と同様の構成を有しているため、第1及び第2のp型MOSトランジスタと第1及び第2のn型MOSトランジスタとは本発明の第7の半導体装置と同様の効果を得ることができる。

【0176】第9の半導体装置において、第2のp型MOSトランジスタにおけるp型チャネル領域は、ソース領域側のn型の不純物濃度がp型チャネル領域におけるドレイン領域側のn型の不純物濃度よりも大きく、第2のn型MOSトランジスタにおけるn型チャネル領域は、ソース領域側のp型の不純物濃度がn型チャネル領域におけるドレイン領域側のp型の不純物濃度よりも大きいと、これら第2のp型及びn型MOSトランジスタのキャリアが流れる方向が双方向であっても素子特性に悪影響が現われないため、チャネル領域におけるソース領域側部分にしきい値制御用の高濃度の不純物領域を形成する際に、それぞれ一のマスクパターンを用いて一度の注入工程で確実に形成できる。

【0177】第9の半導体装置はフリップフロップ回路を備えた半導体装置であって、フリップフロップ回路が本発明のクロックインバータ回路を含むと、フリップフロップ回路は本発明の第7の半導体装置と同様の効果を得ることができる。

【0178】本発明の半導体装置の製造方法によると、第1導電型の半導体基板の上に、互いに平行となる複数のゲート電極を形成した後、該複数のゲート電極をマスクとして、半導体基板に、第1導電型の不純物イオンを

10

20

30

40

50

基板面に垂直で且つゲート幅方向に平行な平面に対してゲート長方向の一方側に7度以上の傾きを持たせて注入することによって、半導体基板における各ゲート電極の下側の領域に、ゲート長方向の一方側から他方側に向かうに連れて第1導電型の不純物濃度が徐々に小さくなるようにしきい値制御用拡散層を形成するため、第1導電型の不純物濃度が徐々に小さくなる方向にキャリアが流れる方向を取ると、面積が小さく且つ高駆動能力のトランジスタを一度のしきい値制御用拡散工程で行なえる。その結果、本発明の第1～第9の半導体装置が得られるため、素子形成領域の縮小化、高駆動能力化及び低消費電力化を低コストで実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体装置であって、2入力NAND回路となる相補型MOS半導体装置を示す平面図である。

【図2】本発明の第1の実施形態に係る半導体装置を示し、図1のI-I線における構成断面図である。

【図3】本発明の第1の実施形態に係る半導体装置を示し、図1のII-II線における構成断面図である。

【図4】本発明の第1の実施形態に係る半導体装置を示す回路図である。

【図5】(a)及び(b)は本発明の第1の実施形態に係る半導体装置の製造方法を示す工程順断面図である。

【図6】(a)及び(b)は本発明の第1の実施形態に係る半導体装置の製造方法を示す工程順断面図である。

【図7】(a)及び(b)は本発明の第1の実施形態に係る半導体装置の製造方法を示す工程順断面図である。

【図8】本発明の第1の実施形態に係る半導体装置の製造方法を示す工程順断面図である。

【図9】本発明の第2の実施形態に係る半導体装置であって、2入力NOR回路となる相補型MOS半導体装置を示す平面図である。

【図10】本発明の第2の実施形態に係る半導体装置を示す回路図である。

【図11】本発明の第3の実施形態に係る半導体装置であって、複合論理回路のうちのAND-NOR回路となる相補型MOS半導体装置を示す回路図である。

【図12】本発明の第4の実施形態に係る半導体装置であって、クロックインバータ回路となる相補型MOS半導体装置を示す平面図である。

【図13】本発明の第4の実施形態に係る半導体装置を示す回路図である。

【図14】本発明の第5の実施形態に係る半導体装置であって、データラッチフリップフロップ回路となる相補型MOS半導体装置を示す回路図である。

【図15】本発明の第6の実施形態に係る半導体装置であって、8ビットデコーダ回路となる相補型MOS半導体装置を示す回路図である。

【図16】本発明の第7の実施形態に係る半導体装置で

あって、伝達ゲート回路となる相補型MOS半導体装置を示す平面図である。

【図17】本発明の第7の実施形態に係る半導体装置を示す回路図である。

【図18】本発明の第7の実施形態に係る半導体装置を示し、図16のIII-III線における構成断面図である。

【図19】本発明の第7の実施形態に係る半導体装置を示し、図16のIV-IV線における構成断面図である。

【図20】本発明の第8の実施形態に係る半導体装置であって、クロックインバータ回路となる相補型MOS半導体装置を示す回路図である。

【図21】従来のLDC構造を有するパワーMOS型半導体装置を示す構成断面図である。

【図22】従来のLDC構造を有する複数のMOS型トランジスタを用いて構成された半導体装置の断面構成を示している。

【符号の説明】

- | | |
|-----|------------------------------|
| 1 | n型MOSトランジスタ形成領域 |
| 2 | p型MOSトランジスタ形成領域 |
| 3 | p型MOSトランジスタ形成領域 |
| 4A | 第1のn型MOSトランジスタ |
| 4B | 第2のn型MOSトランジスタ |
| 5A | 第1のp型MOSトランジスタ |
| 5B | 第2のp型MOSトランジスタ |
| 6 | インバータ回路 |
| 7 | 転送ゲート回路 |
| 8 | 第1のインバータ回路 |
| 9 | 第2のインバータ回路 |
| 10 | 転送ゲート回路 |
| 11 | 半導体基板 |
| 11a | n型ウエル拡散層 |
| 12 | 素子分離領域 |
| 13 | 第1のゲート絶縁膜 |
| 14 | 第1の入力端子 |
| 14A | 第1のゲート電極 |
| 14B | 第3のゲート電極 |
| 15 | 第2のゲート絶縁膜 |
| 16 | 第2の入力端子 |
| 16A | 第2のゲート電極 |
| 16B | 第4のゲート電極 |
| 17 | 第1のゲート側壁 |
| 18 | 第2のゲート側壁 |
| 19 | 第1のn型ソース拡散層 |
| 19A | 浅いn型ソース・ドレイン拡散 |
| 20 | 第1のn型ドレイン拡散層 |
| 20 | 第2のn型ソース拡散層(第1のn型ドレイン拡散層と共有) |
| 20A | 浅いn型ソース・ドレイン拡散 |
| 21 | 第2のn型ドレイン拡散層 |

43

44

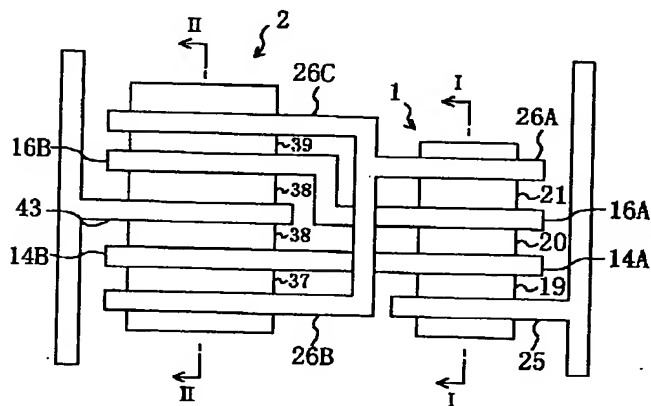
2 1 A 浅いn 型ソース・ドレイン拡散
 2 2 第1 のp 型拡散層(しきい値制御用拡散層)
 2 3 第2 のp 型拡散層(しきい値制御用拡散層)
 2 4 層間絶縁膜
 2 5 第1 の配線
 2 6 出力端子
 2 6 A 第2 の配線
 2 6 B 第3 の配線
 2 6 C 第4 の配線
 3 1 第3 のゲート 絶縁膜
 3 3 第4 のゲート 絶縁膜
 3 5 第3 のゲート 側壁
 3 6 第4 のゲート 側壁
 3 7 第1 のp 型ドレイン拡散層
 3 8 第1 のp 型ソース拡散層
 3 8 第2 のp 型ソース拡散層(第1 のp 型ドレイン拡散層と共有)
 3 9 第2 のp 型ドレイン拡散層
 4 0 第1 のn 型拡散層(しきい値制御用拡散層)
 4 1 第2 のn 型拡散層(しきい値制御用拡散層)
 4 2 層間絶縁膜
 4 3 第5 の配線
 4 4 第1 のレジスト パターン
 4 5 A n 型拡散層
 4 5 B 第1 のn 型拡散層(しきい値制御用拡散層)
 4 5 C 第2 のn 型拡散層(しきい値制御用拡散層)
 4 6 第3 のゲート 絶縁膜
 4 7 第3 のゲート 電極
 4 8 第4 のゲート 絶縁膜
 4 9 第4 のゲート 電極
 5 0 第2 のレジスト パターン
 5 1 A 浅いp 型ソース・ドレイン拡散層
 5 2 A 浅いp 型ソース・ドレイン拡散層
 5 3 A 浅いp 型ソース・ドレイン拡散層
 5 4 第3 のレジスト パターン
 5 5 第3 のゲート 側壁
 5 6 第4 のゲート 側壁
 5 7 第5 のレジスト パターン
 5 8 第3 の配線
 5 9 第4 の配線
 6 0 第5 の配線
 6 1 半導体基板
 6 1 a n 型ウェル拡散層
 6 2 素子分離領域
 6 3 第1 のゲート 絶縁膜
 6 4 A 第1 のゲート 電極
 6 4 B 第2 のゲート 電極
 6 5 第3 のゲート 絶縁膜
 6 6 A 第3 のゲート 電極
 6 7 第1 のゲート 側壁

6 8 第3 のゲート 側壁
 6 9 第1 のn 型ソース拡散層
 7 0 第1 のn 型ドレイン拡散層
 7 1 第2 のn 型ソース拡散層
 7 2 第2 のn 型ドレイン拡散層
 7 3 A 第1 のp 型拡散層(しきい値制御用拡散層)
 7 3 B 第2 のp 型拡散層(しきい値制御用拡散層)
 7 5 A 第1 の配線
 7 5 B 第2 の配線
 7 5 C 第3 の配線
 7 6 A 第7 の配線
 7 6 B 第8 の配線
 7 7 A 第9 の配線
 7 7 B 第1 0 の配線
 7 7 C 第1 の入出力端子
 7 8 A 第1 1 の配線
 7 8 B 第1 2 の配線
 7 8 C 第2 の入出力端子
 7 9 第2 のゲート 絶縁膜
 8 0 第4 のゲート 絶縁膜
 8 1 第4 のゲート 電極
 8 2 第2 のゲート 側壁
 8 3 第4 のゲート 側壁
 8 4 第1 のp 型ソース拡散層
 8 5 第1 のp 型ドレイン拡散層
 8 6 第2 のp 型ソース拡散層
 8 7 第2 のp 型ドレイン拡散層
 8 8 A 第1 のn 型拡散層(しきい値制御用拡散層)
 8 8 B 第2 のn 型拡散層(しきい値制御用拡散層)
 9 0 A 第4 の配線
 9 0 B 第5 の配線
 9 0 C 第6 の配線
 9 1 第1 のp 型ソース拡散層
 9 2 第2 のp 型ソース拡散層(第1 のp 型ドレイン拡散層)
 9 3 第2 のp 型ドレイン拡散層
 9 4 A 第1 の入力端子
 9 4 B 第2 の入力端子
 9 4 C 第3 の入力端子
 9 4 D 出力端子
 9 5 第1 のn 型MOSTランジスタ
 9 6 第2 のn 型MOSTランジスタ
 9 7 第3 のn 型MOSTランジスタ
 9 8 第1 のp 型MOSTランジスタ
 9 9 第2 のp 型MOSTランジスタ
 1 0 0 第3 のp 型MOSTランジスタ
 1 0 1 第1 のp 型MOSTランジスタ
 1 0 2 第2 のn 型MOSTランジスタ
 1 0 3 入力端子
 1 0 3 A 第1 のゲート 電極

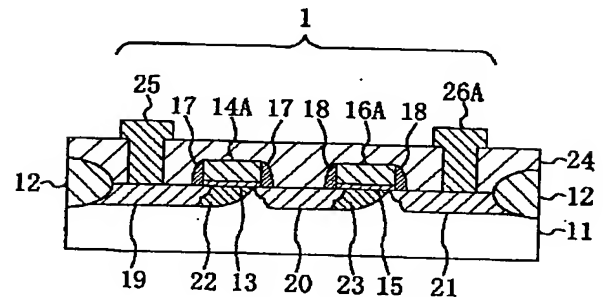
- 45
- 103B 第3のゲート電極
 - 104 出力端子
 - 105 電源電圧端子
 - 106 クロック相補信号線
 - 106A 第2のゲート電極
 - 107 第2のp型MOSトランジスタ
 - 108 接地電圧端子
 - 109 クロック信号線
 - 109A 第4のゲート電極
 - 110 第2のn型MOSトランジスタ
 - 111 第1のp型ソース拡散層
 - 112 第2のp型ソース拡散層(第1のp型ドレイン拡散層と共有)
 - 113 第2のp型ドレイン拡散層
 - 114 第1のn型ソース拡散層
 - 115 第2のn型ソース拡散層(第1のn型ドレイン拡散層と共有)
 - 116 第2のn型ドレイン拡散層
 - 121 入力端子
 - 122 第1のクロックインバータ回路

- 46
- 123 第1のインバータ回路
 - 124 第2のクロックインバータ回路
 - 125 第3のクロックインバータ回路
 - 126 第2のインバータ回路
 - 127 第4のクロックインバータ回路
 - 128A 第1の出力端子
 - 128B 第2の出力端子
 - 131 インバータ回路
 - 132 2入力NAND回路
 - 133 3入力NAND回路
 - 134 2入力NOR回路
 - 135 クロック信号入力端子
 - 136 第1のp型MOSトランジスタ
 - 137 第1のn型MOSトランジスタ
 - 138 入力端子
 - 139 第2のp型MOSトランジスタ
 - 140 第2のn型MOSトランジスタ
 - 141 第3のp型MOSトランジスタ
 - 142 第3のn型MOSトランジスタ
 - 143 出力端子

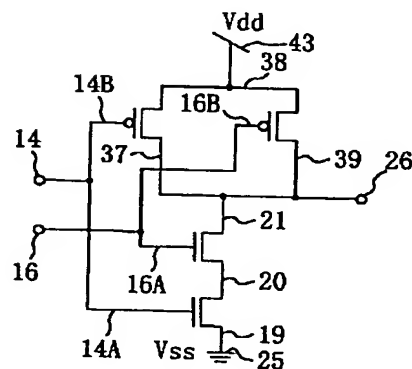
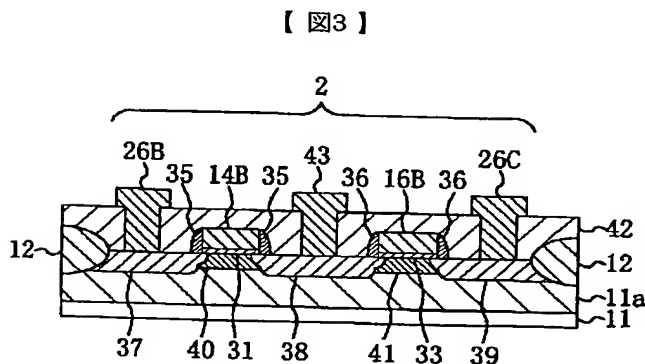
【 図1 】



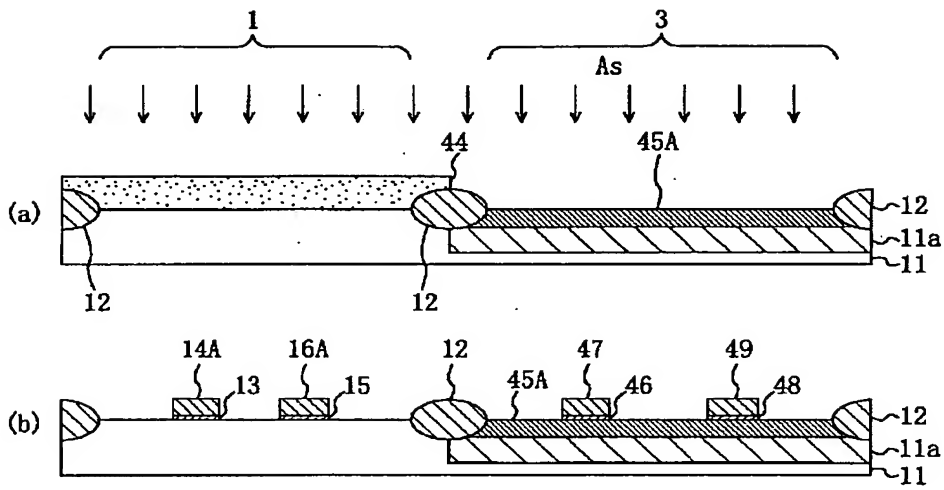
【 図2 】



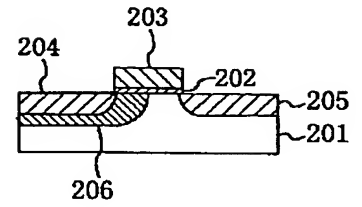
【 図4 】



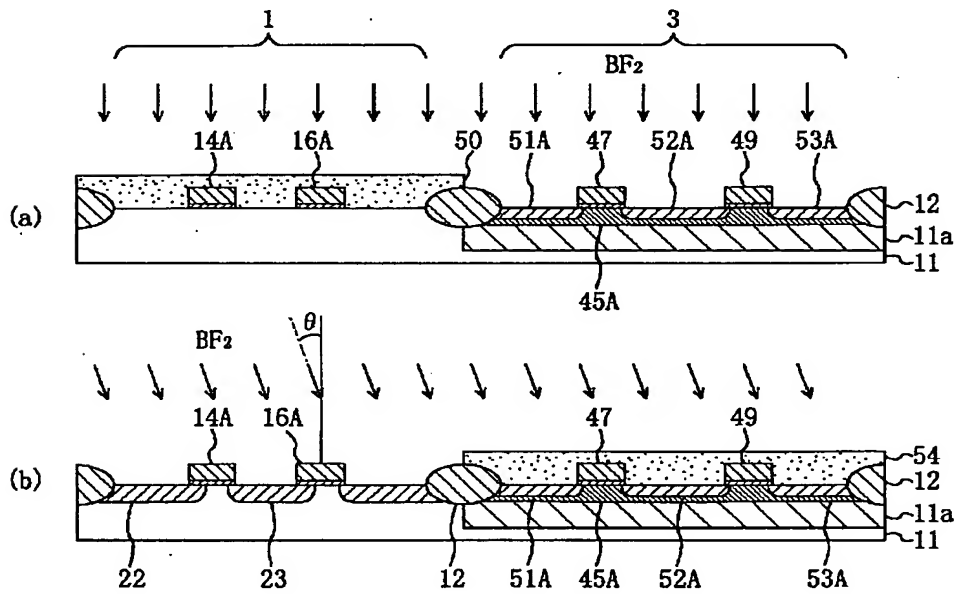
【 図5 】



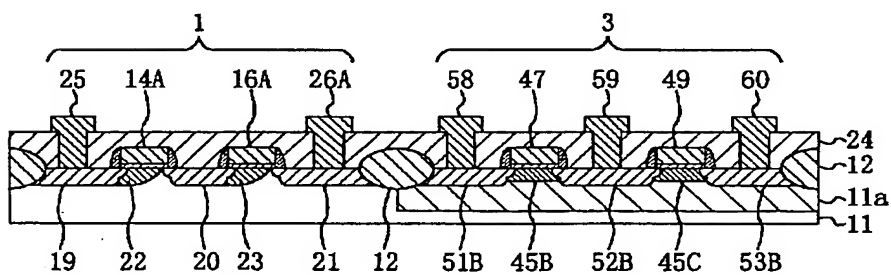
【 図21 】



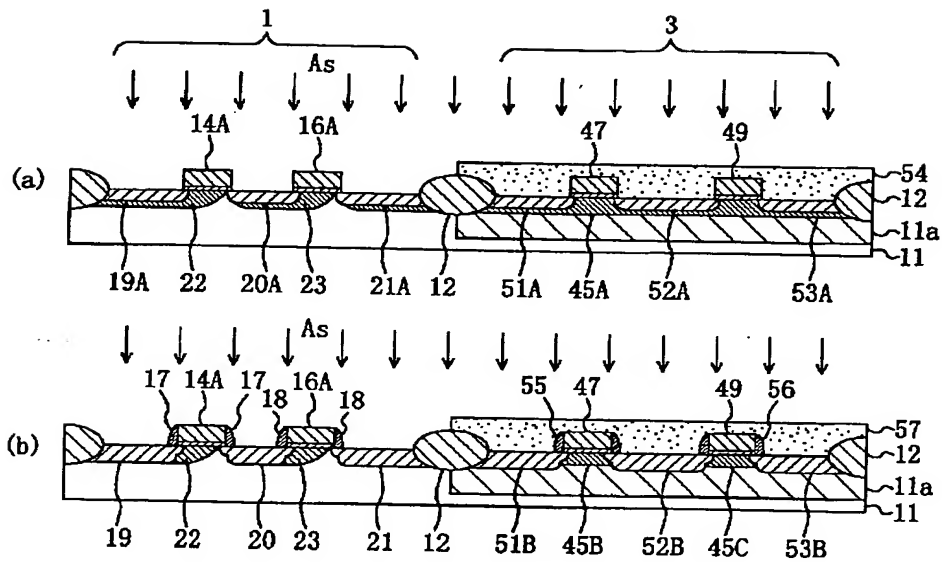
【 図6 】



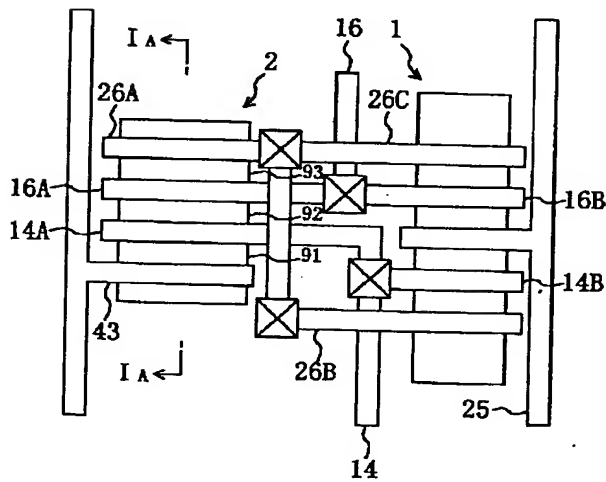
【 図8 】



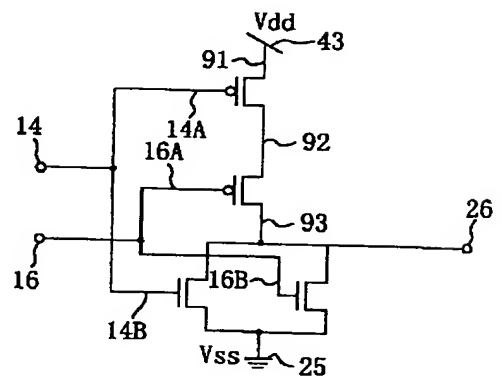
【 図7 】



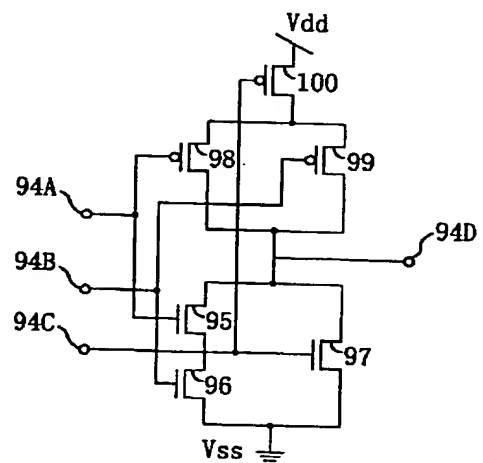
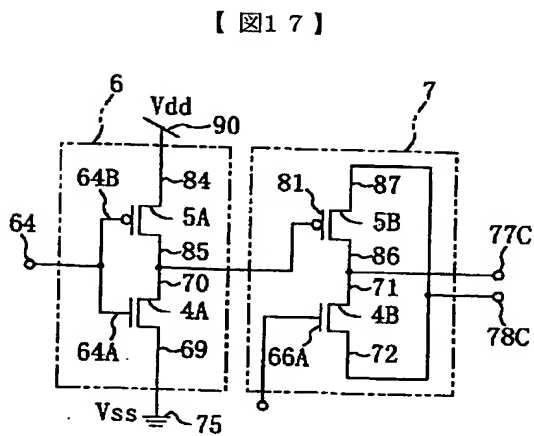
【 図9 】



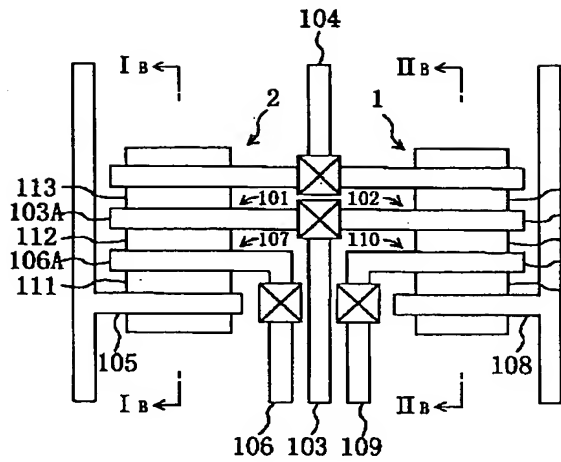
【 図10 】



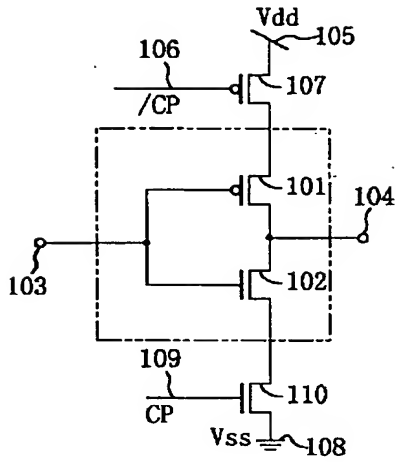
【 図11 】



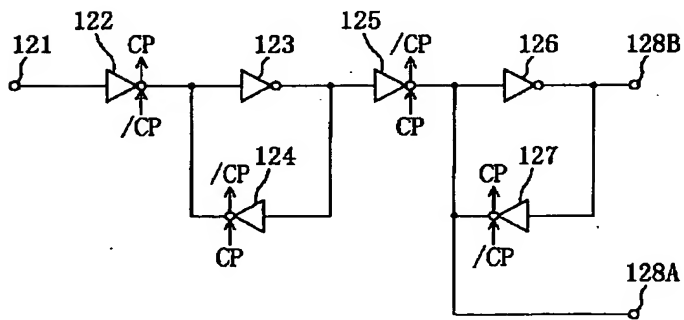
【 図12 】



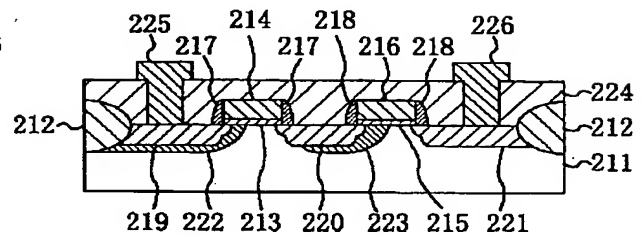
【 図13 】



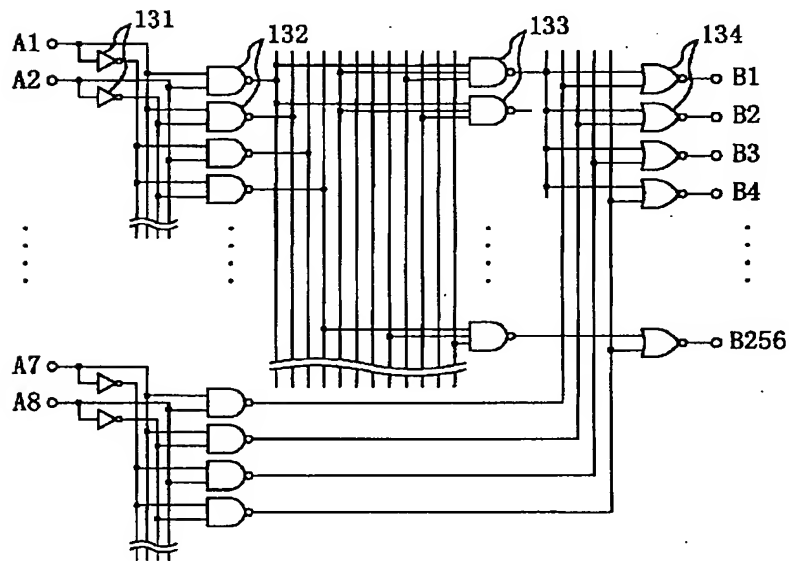
【 図14 】



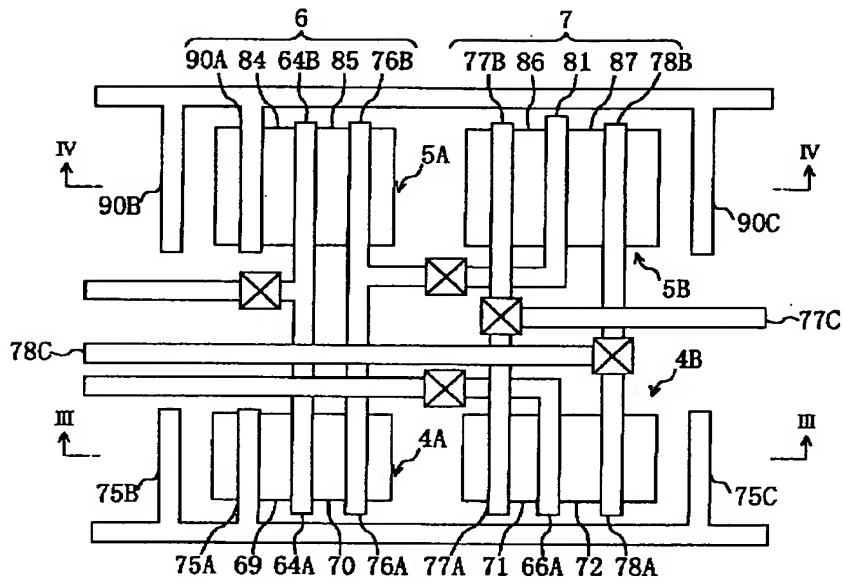
【 図22 】



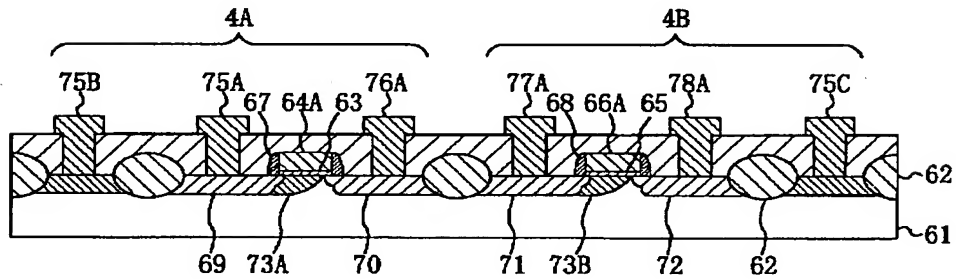
【 図15 】



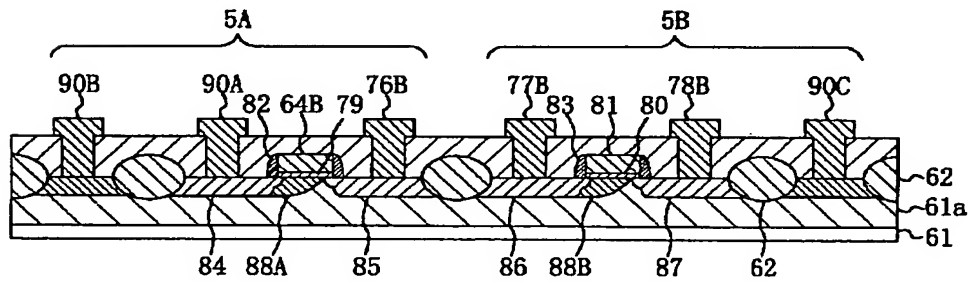
【 図16 】



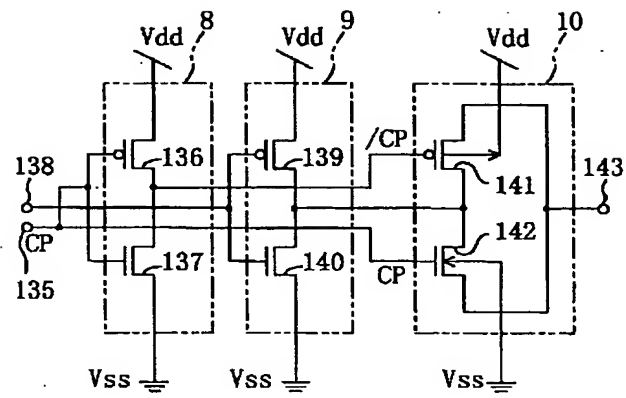
【 図18 】



【 図19 】



【 図 2 0 】



THIS PAGE BLANK (USPTO